DSR GRUNDLAGEN

Auszug aus:
Grundig Service Manual DSR 100
Sach-Nr. 72010-010.90

Stand: 1990

GRUNDIG SERVICE MANUAL

Ⓓ Btx * 32700 #

DSR 100 (9.25766-01)

Ⓓ Technische Daten		ⒼⒷ Technical Data	
KABEL:		**Cable:**	
Eingangs-Frequenzbereich:	50-855 MHz	Input frequency range:	50-855 MHz
118 MHz Fangbereich:	± 500 kHz	118 MHz capture range:	± 500 kHz
Haltebereich:	± 1,2 MHz	Hold range:	± 1,2 MHz
Eingangsspannung C / N ≥ 10 dB:	48 dBµV-94 dBµV	Input voltage C / N ≥ 10 dB:	48 dBµV-94 dBµV
Bitfehlerrate (BER) C / N ≥ 8 dB: (bezogen auf 10 MHz Bandbreite)	$\leq 10^{-3}$	Bit error rate (BER) C / N ≥ 8 dB: (referred to 10 MHz bandwidth)	$\leq 10^{-3}$
Raster Finetuning (± 8 Steps):	62,5 kHz	Raster finetuning (± 8 Steps):	62,5 kHz
SAT:		**SAT:**	
480 MHz AFC Fang- und Haltebereich:	± 3 MHz	480 MHz AFC capture and hold range:	± 3 MHz
Eingangssignal C / N ≥ 10 dB:	63 dBµV-94 dBµV	Input signals C / N ≥ 10 dB	63 dBµV-94 dBµV
Bitfehlerrate (BER) C / N ≥ 8 dB: (bezogen auf 27 MHz Bandbreite)	$\leq 10^{-3}$	Bit error rate (BER) C / N ≥ 8 dB: (referred to 27 MHz bandwidth)	$\leq 10^{-3}$
Eingangsimpedanz:	75 Ohm	Input impedance:	75 Ohm
Übertragungsbereich:	20 - 1500 Hz	Transmission range:	20 - 1500 Hz
Frequenzgang bis 15 Khz:	± 0,5 dB	Frequency response up to 15 kHz:	± 0.5 dB
Dynamik Bereich:	87 dB	Dynamik range:	87 dB
Störabstand (unbewertet):	90 dB	Signal / Noise ratio (unweighted):	90 dB
Klirrfaktor (1 kHz):	0,06 %	Distortion factor (1kKHz):	0,06 %
Stereo Kanal-Trennung (1 kHz):	85 dB	Stereo channel separation (1 kHz):	85 dB
Ausgangspegel / Impedanz:	1,5V/680 Ohm	Output level / impedanz:	1.5V/680 Ohm
Sprache / Musik einstellbar:	-20 dB	Speech / Music setting:	-20 dB
Lautstärkeregelung:	-30 dB	Volume regulation:	-30 dB
Ausgangsbuchsen / Abschluß:	2 x Cinch/47 kOhm	Output sockets load:	2 x Cinch/47 kOhm
Sampling Frequenz: D / A Wandlung:	32 kHz (1Bit) Bit Streamer	Sampling frequency: D / A Conversion:	32 kHz (1Bit) Bit Streamer
Wechselspannung:	198-253 Volt	AC mains voltage:	198-253 Volt
Leistungsaufnahme lt. DIN 45342:	19 W	Power consumption acc. to DIN 45342:	19 W
Standby:	8 W	Standby:	8 W

Änderungen vorbehalten
Subject to alteration

Printed in Germany
VK 223 0591

Service Manual Sach-Nr. 72010-010.90
Service Manual Order No. 72010-010.90

D

Inhaltsverzeichnis

Seite

Technische Daten
Symbole - Wichtige Schaltzeichen 3-5
Sicherheitsvorschriften 6-8
MOS Bauelemente 9-10
Ausbauhinweise 11
Bedienfunktionen 12-14

DSR Grundlagen:

1. Kapitel Studioseite
Studioseite 15-16
Gleitkommatechnik 17-18
DS 1 Rahmen 19

2. Kapitel Postleitungen
Digitale Übertragungsstrecken 19-20

3. Kapitel Bodenstation
Aufbau des Hauptrahmens 20
Sonderbitüberüberrahmen SAÜÜ 21-23
77 Bit-Block 24
BCH-Decoder 24
Zuatzinfo Z 1 und Z 2 25
Programminformation P 1 25

4. Kapitel Satellitenstrecke
4-PSK-Modulation 26
Der Scrambler 27
DSR-Programmverteilung 28
Anschluß des DSR Receivers 29
Antennendosen 29

Gerätetechnik (DSR-Box)

5. Kapitel
Der DSR-Receiver an einer Kabelanlage 30
Die Regelung des Eingangsverstärker 30
Das Augendiagramm 31
Blockschaltbild des DSR-Box 32
4-PSK-Demodulator 33
Die Costasloop 33-34
Der DSR-Receiver am SAT-Empfänger 35
Funktionsbeschreibung des SAA 7500 36
Taktrückgewinnung 37
Synchronisation 37
Demultiplexer 37
Fehlerkorrektur 38
Skalenfaktor 38
D/A Wandler Schnittstelle 38
Pinbelegung des SAA 7500 39
Diagramme des SAA 7500 40
Erzeugung des Zentraltaktes 41
Der D/A-Wandler 42
Die Vorzüge des 1 Bit D/A-Wandlers 43
Die Baugruppen des D/A-Wandlers 43
Digitalfilter und Oversampling 43
Noise Shaper und Quantisierer 44
Bitstrom D/A-Wandlung 45
Die Linearität des 1-Bit-Stromwandlers 45
Der Microcomputer 46
Die Ansteuerung des "VFD"-Displays 46-47
Das Netzteil 48
Fehlersuchdiagramm 50
DSR-Anzeige
•29501-060.31 51-52
Chassis-Leiterplatte 53-54
Gesamtschaltplan 55-57
Tuner mit Konverter
•29502-029.01 58-60
DSR-Box
•29502-019.11 61-64
Telepilot RC 201
•29622-046.31 65
Ersatzteillisten-Listen 66-68

GB

Contents

Page

Technical Data
Important Symbols in the Circuit Diagrams 3-5
Safety Regulations 6-8
MOS Components 9-10
Disassembly Instructions 11
Operating Functions 12-14

DSR Fundamentals

Chapter 1 Studio Side
Studio Side 15-16
Floating Comma Technique 17-18
DS 1 Frame 19

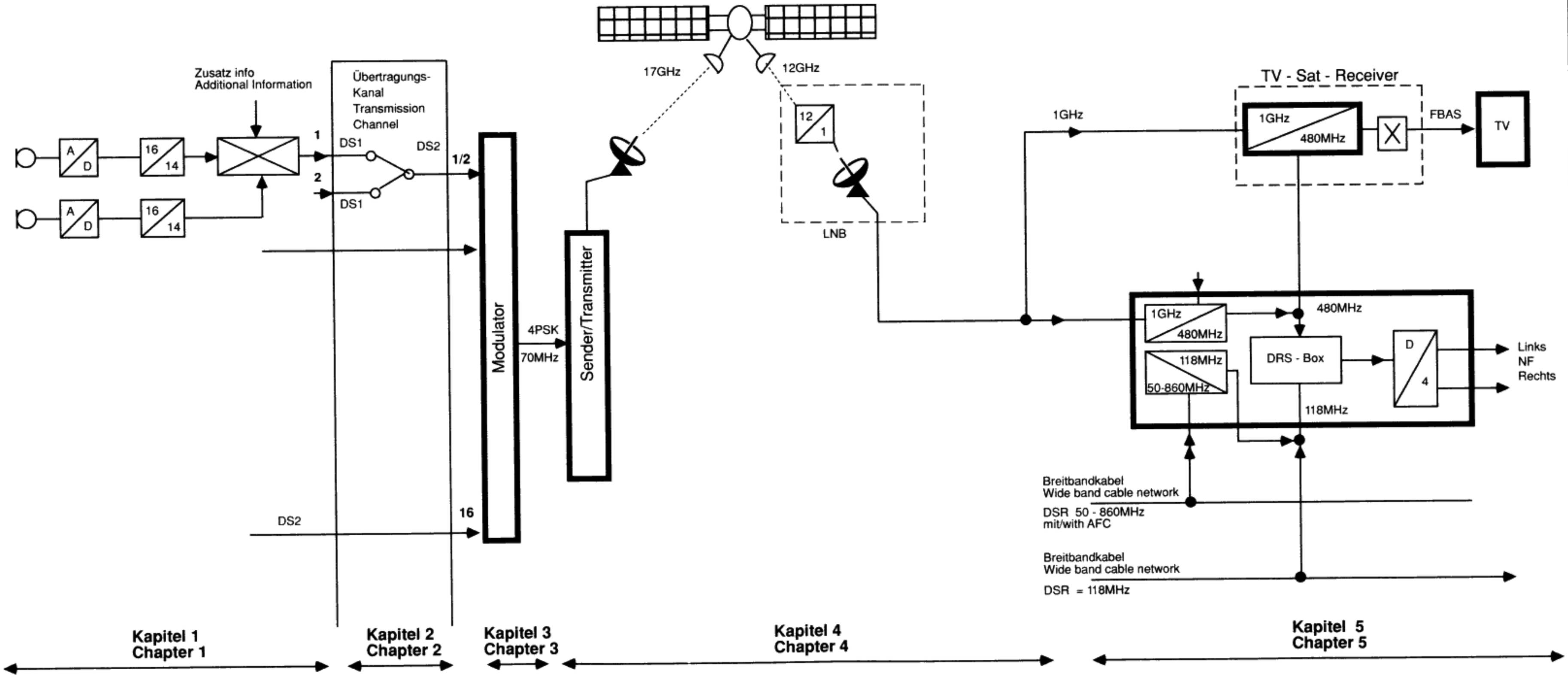
Chapter 2 Post Office Lines
Digital Transmission Path 19-20

Chapter 3 Base Station
Construction of the Main Frame 20
Special Service Super-Super Frame SAÜÜ 21-23
77 Bit-Block 24
BCH-Decoder 24
Additional Information Z 1 and Z 2 25
Programme Information P 1 25

Chapter 4 Satellite Path
The 4-PSK Modulation 26
The Scrambler 27
DSR-Programme Distribution 28
Connection of the DSR-Receiver 29
Aerial Sockets 29

Product Technology (DSR-Box)

Chapter 5
The DSR-Receiver in a Cable Installation 30
The Control of the Input Amplifier 30
The Eye Diagram 31
Block Circuit Diagram of the DSR-Box 32
4-PSK-Demodulator 33
The Costas Loop 33-34
Connection of the DSR to the SAT-Receiver 35
Function Description of the SAA 7500 36
Clock Recovery 37
Synchronisation 37
Demultiplexer 37
Error Correction 38
Scale Factor 38
D/A Converter Interface 38
Pin Allocation of the SAA 7500 39
Diagrams for the SAA 7500 40
Generation of the Central Clock 41
The D/A Converter 42
The Advantages of the 1 Bit D/A-Converter 43
The Construction of a D/A-Converter 43
Digital Filter and Oversampling 43
Noise Shaping and Quantization 44
Bit Current D/A-Converter 45
Linearity of the Bit Current Converter 45
The Microcomputer 46
The Drive of the "VFD"-Display 46-47
The Mains Stage 49
Fault Finding Diagramm 51
DSR Display
•29501-060.31 51-52
Chassis Panel 53-64
General Circuit Diagram 55-57
Tuner with Converter
•29502-029.01 58-60
DSR-Box
•29502-019.11 61-64
Telepilot RC 201
•29622-046.31 65
Spare Parts Lists 66-68



Die Zeichnung zeigt den Signalverlauf vom Rundfunkstudio über Satellit zum NF-Ausgang des Receivers. Die Zeile unter dem Bild zeigt, in welchem Kapitel die Beschreibung zu diesem Block zu finden ist.

The diagram shows the signal processing from the transmission Studio via the Satellite to the AF-output of a Receiver. The line under the diagram indicates the Chapter which contains the description of the block.

DSR-Grundlagen

1. Kapitel

Die Studioseite

Die digitalen Studios arbeiten heute mit einer Sampling-Frequenz von 48 kHz. Die Quantisierung (Auflösung) liegt bei16 Bit. Die erreichbare NF-Bandbreite beträgt 22 kHz. Diese Daten gelten übrigens auch für die DAT-Recorder. Der Austausch der NF-Daten zwischen den Studios und den Sendestationen findet über digitale Postleitungen statt. Damit die Daten in das Datenraster der Post passen, müssen die Abtastwerte von 16 auf 14 Bit reduziert werden (siehe auch Kapitel 2).

Studien des IRT (Institut für Rundfunktechnik) in München haben ergeben, daß eine Übertragungsbandbreite von 15 kHz, wie derzeit bei UKW, vollkommen ausreicht. Hörversuche mit Testpersonen unterschiedlichen Alters haben gezeigt, daß nur sehr wenige Zuhörer überhaupt in der Lage sind Frequenzen oberhalb der 15 kHz wahrzunehmen. Aus diesem Grund kann die Samplingrate auf 32 kHz verringert werden, was eine weitere Datenreduzierung ergibt. Diese Samplingfrequenz verwendet man auch im DAT-Recorder bei Longplay.

Die Auflösung von 16 Bit je Abtastwert ist wegen des günstigeren Fremdspannungsabstandes wünschenswert. Um die 16 Bit zu erhalten und dennoch eine Datenreduktion zu erreichen, überträgt man die Daten in einer 16/14 Bit-Gleitkommatechnik. Damit der Empfänger die 14 Bit wieder in 16 Bit umsetzen kann, überträgt man alle 2 ms den momentanen Lautstärkewert als Skalenfaktor.

Die nachfolgende Zeichnung (Bild 1) zeigt, wie sich der Dynamikbereich zwischen 14 und 16 Bit ergibt.

Bei einer Quantisierung von 16 Bit liegt der Fremdspannungsabstand bei 98 dB. Aus Sicherheit gegen Übersteuerung werden die oberen 10 dB (Im Studio auch als Headroom bezeichnet) nicht benutzt. Die unteren 20 dB, auch als Footroom bezeichnet, kann man wegen des zu geringen Fremdspannungsabstandes nicht nutzen. Es verbleiben also nur 68 dB zur effektiven Aussteuerung. Bei einer Quantisierung von 14 dB bleiben zur Aussteuerung nur 56 dB. Damit nun der Dynamikbereich von 68 dB, der nur bei 16 Bit zu Verfügung steht, auch bei 14 Bit erreicht wird, wendet man die 16/14 Bit-Gleitkommatechnik an.

DSR-Fundamentals

Chapter 1

The Studio Side

Modern day Digital Studios use a Sampling Frequency of 48kHz. The Quantization (resolution) is 16 Bit. The achievable AF-Bandwith corresponds to 22 kHz. This data is also valid for the DAT-Recorder. The exchange of AF-Data between the Studios and the transmitting stations is via the Digital Post Office Lines. The sampling value must be reduced from 16 to 14 Bit so that it fits in to the data spacing used by the Post Office. (See also Chapter 2).

Studies by the IRT (Institute for Radio Technology) in Munich have confirmed that a transmission bandwith of 15 kHz, which is presently used on VHF is completely adequate. Research into the way human beings hear using a test sample of different ages has indicated that only a very few members of the audience are able to hear frequencies above 15 kHz. For this reason the sampling rate can be reduced to 32 kHz which also results in a further reduction of data. This sampling frequency is also used in the DAT-Recorder on Longplay.

The resolution of 16 Bit per sampling value is the most appropriate value to produce the best signal to noise ratio. To retain 16 Bit and to also achieve data reduction, transmission of the data is carried out using 16/14 Bit Floating Comma Technique. So that the Receiver can convert the 14 Bit back to 16 Bit, the momentary loudness value corresponding to a Scale Factor is transmitted every 2 ms. The following diagram (Figure 1) shows the resulting dynamic range between 14 and 16 Bit.

With a Quantization of 16 Bit, the signal to noise ratio corresponds to 98 dB. As a reserve for overdrive the upper 10dB (known in the Studio as Headroom) is not used. The lower 20 dB, also known as Footroom, cannot be used because of the very low signal to noise ratios. The remainder, corresponding to 68 dB is available for effective drive. With a quantization of 14 dB, only 56 dB remain for drive. However, the dynamic range of 68 dB, which is available with 16 Bit, can also be achieved with 14 Bit by the use of the 16/14 Bit Floating Comma Technique.

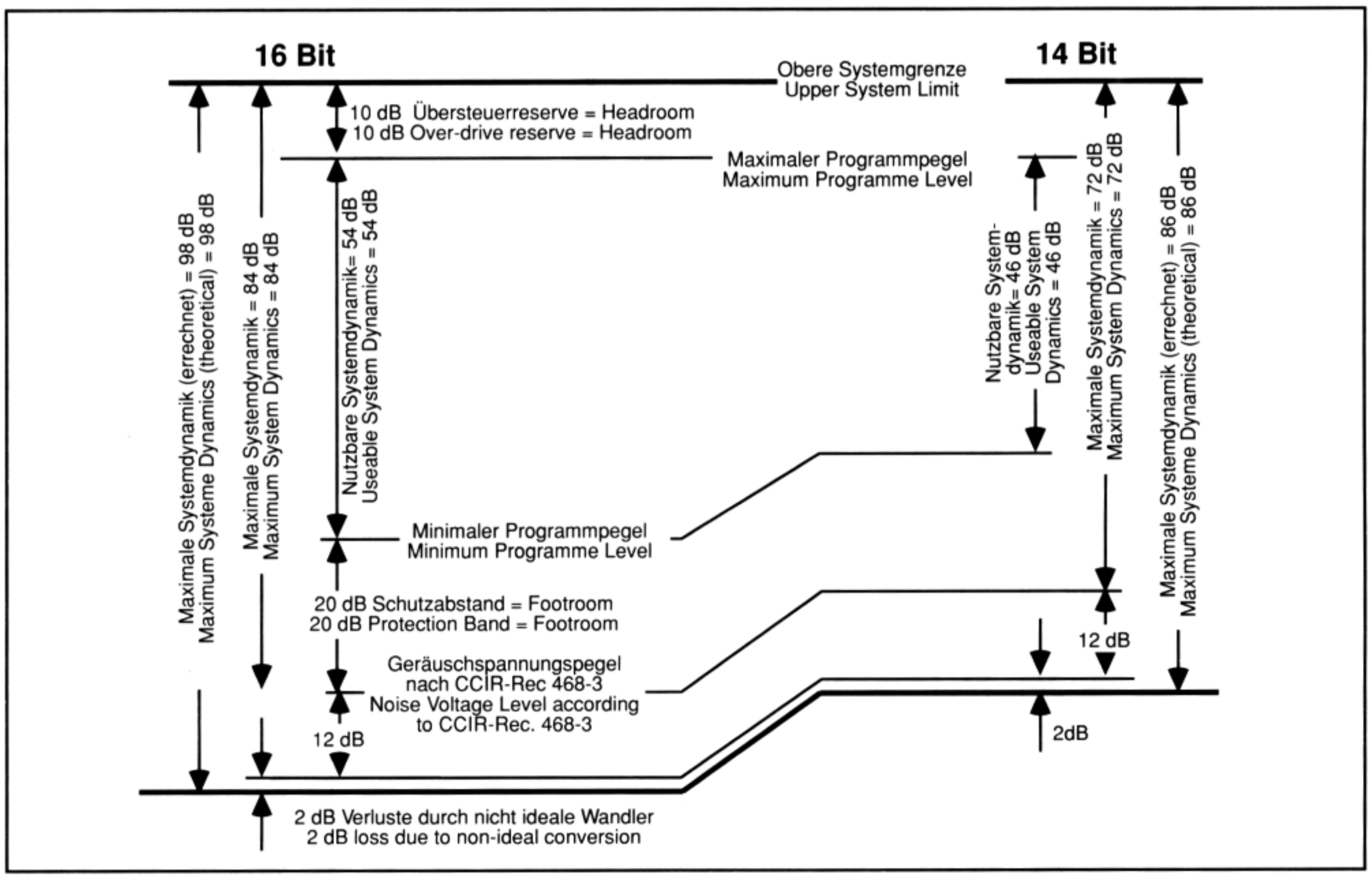


Bild 1 Dynamikbereich für 14 und 16 Bit

Fig. 1 Dynamic Range for 14 and 16 Bit

Die Gleitkommatechnik

Die unterste Stufe der digitalen Übertragungsleitung der Post beträgt 2048 kBit/s.

Bei einer Wortlänge von 16 Bit plus einem Paritätsbit pro Abtastwert ergibt sich bei einer Samplingfrequenz von 32 kHz folgender Wert:

(16 +1) x 32000 = 544 kBit/s

Bei einer Kapazität von 2048 kBit/s finden 3 Monokanäle in einem Postdatenkanal Platz. Dies ist nicht nur unökonomisch,sondern auch im praktischen Betrieb nicht auszunutzen.
Eine Reduktion auf 14 Bit ergibt folgenden Wert:

(14 +1) x 32000 = 480 kBit/s

Hier passen 4 Monokanäle in einen Datenkanal. In den verbleibenden 128 Bits überträgt man den Skalenfaktor und Sonderdienstbits.

Hier sehen Sie, daß aus Gründen der Frequenz-ökonomie eine 14 Bit Quantisierung sinnvoll ist. Dies geht jedoch auf Kosten der Qualität, was aus der vorherigen Zeichnung zu erkennen ist. Beide Vorteile lassen sich jedoch durch die 16/14 Bit Gleitkommatechnik vereinbaren.

Bei dieser Technik merkt man sich den lautesten Wert innerhalb von 64 Abtastwerten (= 2ms). Die nicht benötigten Bits für die höheren Lautstärken überträgt man jetzt nur noch einmal innerhalb dieser 2 ms. Die Anzahl der nicht benötigten Bits ist der Skalenfaktor.

Die digitalisierten NF-Werte werden im 2er Komplement übertragen. Dabei bestimmt die höchstwertigste Stelle (MSB) ob es sich um eine positive oder negative Halbwelle handelt. Ist das MSB logisch 0 handelt es sich um eine positive, bei logisch 1 um eine negative Halbwelle.

Bei kleiner Lautstärke, werden die Bits mit der Wertigkeit >128 nicht erreicht. Ist die Halbwelle positiv, sind die oberen 8 Bit 0. Bei der negativen Halbwelle sind sie logisch 1. Ohne dem Vorzeichenbit (MSB) sind also 7 Bit konstant. Bleiben nach 64 Abtastwerten die 7 Bit bei logisch 1 oder 0 ist dies der Skalenfaktor 111 oder 7. Diese 7 Bit brauchen jetzt, nachdem sie innerhalb von 64 Abtastwerten konstant sind nicht bei jedem Abtastwert übertragen zu werden. Es genügt, wenn man die Anzahl der nicht benutzten Bits einmal pro 64 Abtastwerte überträgt. Das ist in unserem Beispiel die logische 111 = 7 . Da dies die maximale Stellenzahl ist, genügen dafür 3 Bits.

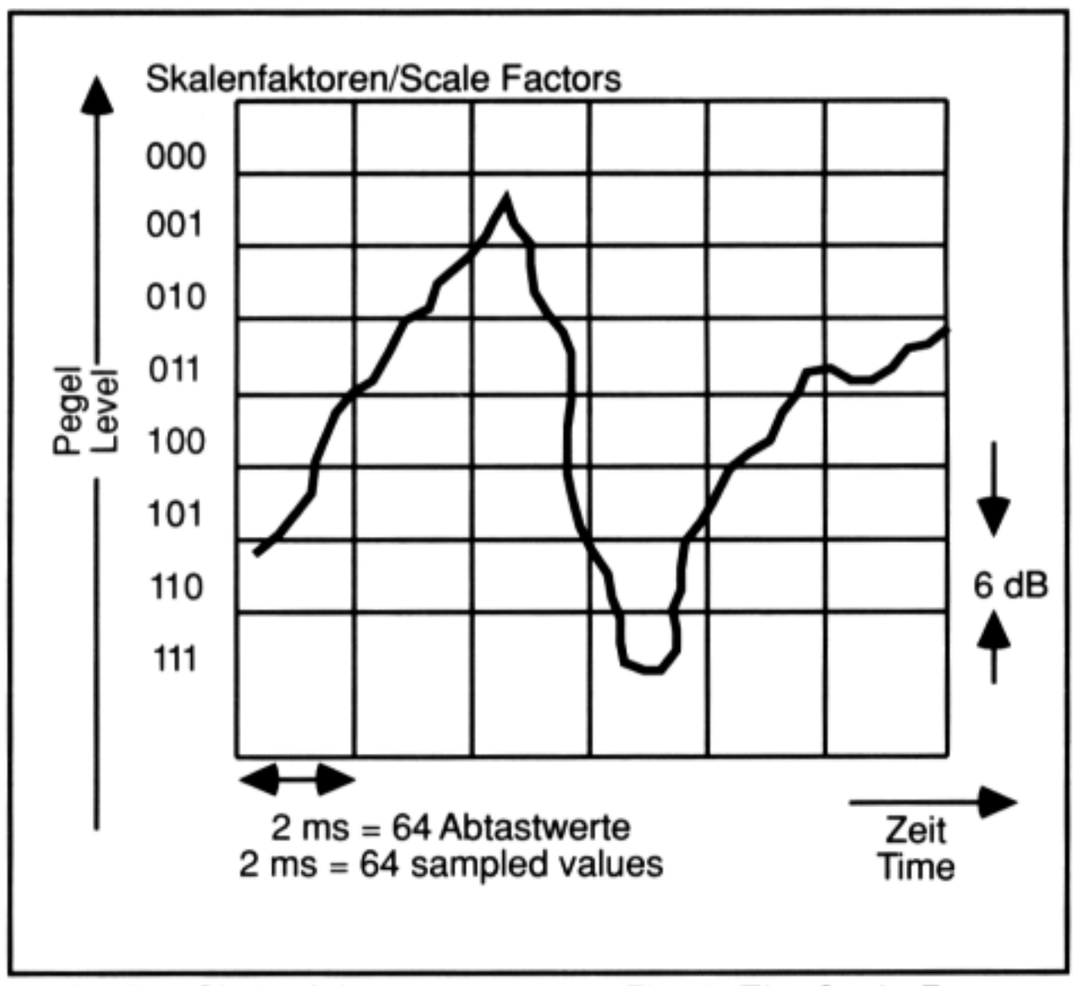


Bild 2:Der Skalenfaktor

Die verbleibenden Bits können nun an das Vorzeichenbit herangeschoben werden.

Durch dieses Heranschieben werden auf der LSB-Seite 2 Bits frei. Es genügen also 14 Bit zur Übertragung, obwohl die Quantisierung 16 Bit beträgt.

Bei großer Lautstärke werden alle 15 Bits unterhalb dem Vorzeichenbit benutzt. Der Skalenfaktor, der ja die nicht benutzten Bits angibt, ist logisch 0. Schneidet man nun, um 14 Bit zu erhalten, die 2 niederwertigen Bits ab, so gehen diese verloren. Bei diesem Abtastwert würde sich der Fremdspannungsabstand um 12 dB (6 dB pro Bit) verringern.

In der Praxis kommt dieser Aussteuerungszustand jedoch sehr selten vor, da in den Studios der Headroom (siehe Zeichnung 1) nicht ausgesteuert wird. Hörtests beim IRT haben keinerlei hörbaren Effekte ergeben.

Dieses, durch die Gleitkommatechnik bitreduzierte Signal, wird mit dem Skalenfaktor und der Zusatz-info als DS1 Signal auf den Postleitungen übertragen.

The Floating Comma Technique

The lowest level of a Digital Transmission Line of the Post Office corresponds to 2048 kBit/s.

With a word length of 16 Bit plus a parity Bit per sampled value, and with a sampling frequency of 32 kHz, the value is obtained as follows:

(16 + 1) X 32000 = 544 kBit/s

With a capacity of 2048 kBit/s only three Mono channels can be accomodated in one Post Office Data channel: This is not only uneconomic but in practical operation the capacity is not fully utilised. A reduction to 14 Bit produces the following value:

(14 + 1) X 3200 = 480 kBit/s

This means that four Mono Channels can be accomodated in one data channel. In the remaining 128 Bits, the Scale Factor and the Special Service bits are transmitted.

From this it can be seen, for reasons of frequency economy, that a 14 Bit quantization makes sense. This however has a cost on the quality, which is quite apparent from the previous illustration. Both advantages can be arranged by 16/14 Bit Floating Comma Technique.

With this technique the loudest value within 64 Sampling values (=2ms) is noted. The bits which are not essential for the highest volume are transmitted only once during 2ms. The quantity of bits not essential is the Scale Factor.

The digitalised AF Values are transmitted using Twos-Compliment Coding. With this, the highest value (MSB) determines whether a positive or negative half wave is being processed. If the MSB is logic 0, a positive half wave is being processed and with a logic 1, a negative half wave.

At lower volumes, bits of the value >128 are not obtained. If the half wave is positive, then the higher eight bits are 0. With a negative half wave they are logic 1. Without the prefix bit (MSB) seven Bits are constant. If the seven Bits remain at logic 1 or 0 after 64 sampling values the Scale Factor is 111 or 7. These seven Bits, if they are constant for 64 sampling values, need not be transmitted after every sampling value. It is sufficient for the quantity of non-essential bits to be transmitted once per 64 sampling values. This is as in our example the logic 111 = 7. Because this is the maximum position number, 3 Bits are sufficient.

Fig. 2: The Scale Factor

The remaining Bits can now be shifted to the prefix bit. Due to this, two Bits on the LSB side become free.

It is sufficient therefore for the 14 Bits to be transmitted as it corresponds to a quantization of 16 Bit.

At larger volume levels, all 14 Bits following the prefix Bits are used. The Scale Factor, which corresponds to the non-essential Bits, is logic 0. If the two lowest value Bits are discarded to produce 14 Bit, these are lost. With this sampling value, the signal to noise ratio is reduced by 12 dB (6 dB per Bit).

In practice this drive level occurs very rarely because, in the Studio, the Headroom area (see Figure 1) is not used. Hearing tests by the IRT has established that there are no audible effects.

This, the Floating Comma Technique Bit-reduced signal, is transmitted with the Scale Factor and the Additional Information as the DS1 Signal on the Post Office Lines.

Skf. Sc.F.	Vorzeichen Prefix	16348	8192	4096	2048	1024	512	256	128	64	32	16	8	4	2	1
	Bitwertigkeit Bit value															
000	0														X	X
001	0	0														X
010	0	0	0													
011	0	0	0	0												
100	0	0	0	0	0											
101	0	0	0	0	0	0										
110	0	0	0	0	0	0	0									
111	0	0	0	0	0	0	0	0								
111	1	1	1	1	1	1	1	1								
110	1	1	1	1	1	1	1									
101	1	1	1	1	1	1										
100	1	1	1	1	1											
011	1	1	1	1												
010	1	1	1													
001	1	1														X
000	1														X	X

X=nicht übertragbare Bits
X=Non-transmitted Bits

Bild 3: Codierungsvorschrift der Gleitkommatechnik

Fig. 3: Coding specification for the floating Comma Technique

Skf Sc.F.														
000	0	2^{14}	8192	4096	2048	1024	512	256	128	64	32	16	8	4
001	0	8192	4096	2048	1024	512	256	128	64	32	16	8	4	2
010	0	4096	2048	1024	512	256	128	64	32	16	8	4	2	1
011	0	2048	1024	512	256	128	64	32	16	8	4	2	1	
100	0	1024	512	256	128	64	32	16	8	4	2	1		
101	0	512	256	128	64	32	16	8	4	2	1			
110	0	256	128	64	32	16	8	4	2	1				
111	0	128	64	32	16	8	4	2	1					
111	1	128	64	32	16	8	4	2	1					
110	1	256	128	64	32	16	8	4	2	1				
101	1	512	256	128	64	32	16	8	4	2	1			
100	1	1024	512	256	128	64	32	16	8	4	2	1		
011	1	2048	1024	512	256	128	64	32	16	8	4	2	1	
010	1	4096	2048	1024	512	256	128	64	32	16	8	4	2	1
001	1	8192	4096	2048	1024	512	256	128	64	32	16	8	4	2
000	1	2^{14}	8192	4096	2048	1024	512	256	128	64	32	16	8	4

32 = Bit mit Wertigkeit 32
= Bit with the value 32

Bild 4: Das Übertragungsformat

Fig. 4: The Transmission Format

Der DS 1 Rahmen

Der DS 1-Rahmen beinhaltet einen digitalen Stereokanal plus einer Zusatzinfo. Er dient zum Programmaustausch innerhalb und zwischen den Studios.

Das Übertragungsformat im DS 1 Rahmen sieht wie folgt aus. Der Rahmen beginnt mit einem 8 Bit Synchronwort. Danach folgen 4 Abtastwerte von je 14 Bit für links und rechts plus je einem Paritätsbit zur Fehlererkennung. Nun folgt ein 8-Bitwort, die Zusatz-info Z1. Die Zusatzinfo wird in 8 aufeinanderfolgenden Rahmen gesendet. Dieser durch die Zusatzinfo gebildete Datenblock besitzt somit 64 Bit. In ihm sind zwei 8 Bit Synchronsignale und 2 x 22 Bit Information enthalten.

Die Information besteht aus dem Programmangebot wie Nachrichten, Sport, Kultur usw. und der Sprache/Musikkennung. Im Display des DSR-Receivers können somit die 16 Programmarten der 16 Programme angezeigt werden. Weiterhin kann der Benutzer die Lautstärke zwischen Musik und Sprache individuell einstellen.

Der Skalenfaktor steckt in den Paritätsbits. Bei einem Ausfall des Skalenfaktors können hörbare Fehler entstehen. Dadurch kommt diesem eine besondere Bedeutung zu. Deshalb überträgt man diese 3 Bit für je 64 Abtastwerte 21 mal. Hierbei wird das Paritätsbit der Abtastwerte invertiert wenn das Skalenfaktorbit 1 ist bzw. nicht invertiert wenn es 0 ist. Durch einen Rechenalgorhythmus und Mehrheitsentscheidung, kann der Emfänger aus den Paritätsbits den Skalenfaktor und die Fehlererkennung der NF-Abtastwerte ermitteln.

The DS 1 Frame

The DS 1 Frame contains a Digital Stereo Channel plus Additional Information. It serves as programme exchange within and between the Studios.

The transmission format in DS 1 Frame is illustrated as follows. The Frame commences with an 8 Bit Synchronising Word. There after four sample values each of 14 Bits for left and right plus a parity Bit each for Error Identification follow. Next follows an 8 Bit word, and the Additional Information Z1. The Additional Information is sent in the eight sequential following frames. This, due to the Additional Information forming a Data Block, consists therefore of 16 Bit. This consist of two 8 Bit synchronising signals and 2 X 22 Bit Information parts.

The Information part carries details of the programme being offered, such as Current News, Sport, Culture etc and the Speech/Music Ident. In the display of the DSR Receiver the sixteen programme modes can be displayed for sixteen programmes. Additionally, the user can individually select the volume between Music and Speech.

The Scale Factor is inserted in the parity bits. With a failure of the Scale Factor, an audible error can result. Because of this a special type of compensation is introduced. The three Bits for each 64 sampling value is transmitted 21 times. The Parity Bit of the sampling value is inverted when the Scale Factor Bit is 1 or is not inverted when it is 0. With an Algor rhythm calculation and Multiple Decision making, the Receiver can determine the Scale Factor and the Error identity of AF sampled values from the Parity Bits.

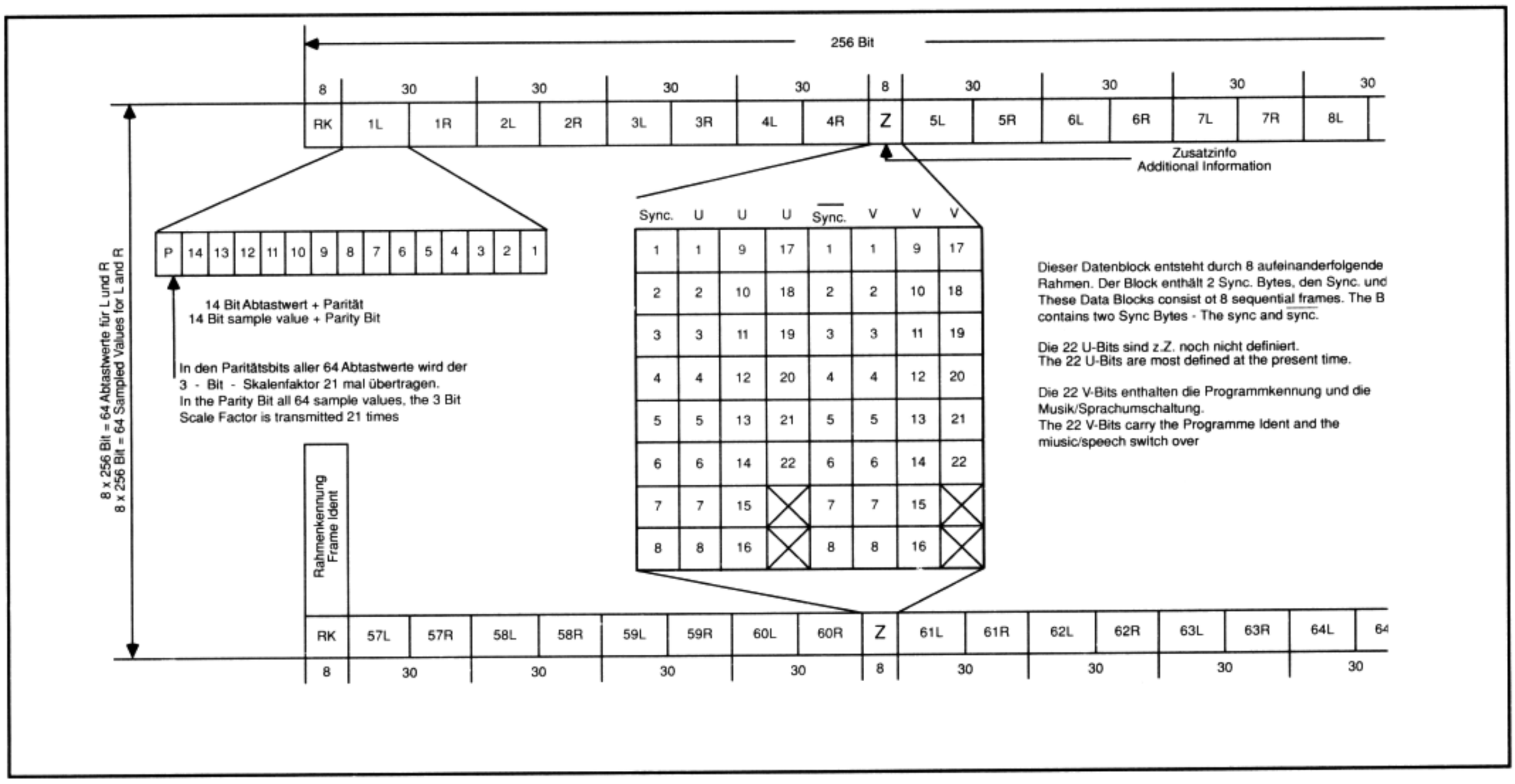


Bild 5: Die DS 1 Struktur

Fig. 5: The DS 1 Structure

Kapitel 2

Die digitale Übertragungsstrecke der Post

Das Digitalnetz der Deutschen Bundespost besitzt z.Z. 4 Stufen.

Stufe 1 = 2048 kBit/s = DS 2
Stufe 2 = 8448 kBit/s = DS 8
Stufe 3 = 34368 kBit/s = DS 34
Stufe 4 = 137472 kBit/s = DS 140

Die Datenübertragungsstrecken sind auf den Fernsprechkanal ausgelegt. So kann das kleinste Kanalbündel (DS 2) von 2048 kBit/s 30 digitale Fernsprechkanäle plus Rahmensynchronisation und Steuerdaten übertragen.

Chapter 2

The Digital transmission path of the Post Office.

The Digital Network of the German Bundespost consists of four levels at a present time.

Level 1 = 2048 kBit/s = DS 2
Level 2 = 8448 kBit/s = DS 8
Level 3 = 34368 kBit/s = DS 34
Level 4 = 137472 kBit/s = DS 140

The Data Transmission paths are allocated to the telephone channels. This means that the smallest Channel Trunk Group (DS 2) of 2048 kBit/s can transmit 30 digital Telephone channels plus Frame Synchronisation and Control Data.

Für die digitale Rundfunkübertragung steht die DS 2 Leitung der Post zu Verfügung. In ihr sind 2 Stereo bzw. 4 Monokanäle plus Steuerdaten zu übertragen.

Ein Stereosignal benötigt ohne Rahmenkennung und Zusatzinfo

2 x 14 Bit x 32 kHz = 928 kBit/s

Eine halbe DS 2 Leitung = 1024 kBit/s reicht für einen Stereokanal aus. Die restlichen Bits 1024 - 928 = 96 kBit/s dienen zur Fehlersicherung (Paritätsbit) und Übertragung der Zusatzinfos. Der Skalenfaktor für die 16/14-Gleitkommatechnik ist in den Paritätsbits verschachtelt.

Das Digitalsignal eines Stereokanals wird auch als DS 1 Leitung bezeichnet (siehe auch Kapitel 1)

Die nicht benutzte Hälfte der DS 2 -Leitung kann auch für Fernsprechdienste oder als Rückkanal von den Sternpunkten zu den Studios verwendet werden. Weiterhin besteht auch die Möglichkeit, die Datenblöcke als Paket, mit anderen Datensignalen, in einer Leitung mit höherer Stufe, z.B. DS 34, zu übertragen.

Kapitel 3

Der Aufbau des Hauptrahmens

Die einzelnen Rundfunkanstalten übertragen die digitalisierte NF über die DS 2 Leitung der Post zur Satellitenbodenstation nach Usingen im Taunus. Hier müssen die 16 ankommenden Stereokanäle in ein sendefähiges Signal umgesetzt werden. Diese parallel anstehenden Signale von den DS 2 Zubringerstrecken packt man in Pakete und setzt sie nacheinander in die beiden Hauptrahmen A und B. Eine zusätzliche Codesicherung vermindert Übertragungsfehler auf der Satellitenstrekke.

Die Stereokanäle 1 bis 8 liegen im Hauptrahmen A, die Kanäle 9 bis 16 im Hauptrahmen B. Der Aufbau der beiden Hauptrahmen ist identisch.

Er beginnt mit einem 11 Bit Rahmensynchronwort. Dieses Sync-Wort ist so gewählt, daß es sich leicht aus dem Datenstrom decodieren läßt (Backer-Code = 11100010010). Das Sync-Wort für den Hauptrahmen B ist identisch, jedoch invertiert zum Hauptrahmen A. Nach diesem Sync folgt das Sonderdienstbit.

Im Sonderdienstbit, welches nur einmal pro Hauptrahmen kommt, steckt das Programmangebot für jeden NF-Kanal, der Sendername und die Musik/Sprache-Kennung. Zur Übertragung der gesamten Information sind 8192 Bit nötig. Bei einer Rahmenfrequenz von 32 kHz ist diese Info in 256 ms übertragen.

Dieser Sonderdienstrahmen setzt sich zusammen aus:

SA/PA	=	Sonderdienstrahmen / Programmangebot
SA/SK	=	Sonderdienstrahmen / Senderkennung
SAÜ/PA	=	Sonderdienstüberrahmen / Programmangebot
SAÜ/LB	=	Leerbyte = Sync für SAÜ/SK
SAÜ/SK	=	Sonderdienstüberrahmen / Senderkennung
SAÜÜ	=	Sonderdienstüberüberrahmen =
	=	7 x SAÜ/PA + 1 x SAÜ/LB + 8 x SAÜ/SK

Die Struktur des Sonderdienstüberüberrahmens SAÜÜ

Nach den 16 Bit des Sync1-Wortes (Williard-Code = 0000010111001111) erfolgt die Übertragung des Programmangebotes. Gleichzeitig dient dieser Sync als Start für die Daten der Zusatzinfo Z1 und Z2.

Nach dem Sync beginnt die Datenübertragung für den Kanal L1/R1 + L2/R2 + 2 Byte Reserve. Jedem dieser 8 Bitblöcke ist ein Monokanal zugeordnet.
Der Aufbau der 8 Bitworte, für das Programmangebot PA, ist aus der nachfolgenden Tabelle zu erkennen.

The DS 2 Lines of the Post Office are available for the transmission of Digital Radio signals. In each, two stereo and four Mono channels plus Control Data can be transmitted.
A Stereo signal requires, without Frame Ident and Additional Information:

2 x 14 Bit x 32 kHz = 928 kBit/s

One half of the DS 2 line = 1024 kBit/s is adequate for one Stereo channel. The remaining Bits 1024 - 928 = 96 kBit/s are for Error protection (Parity Bit) and the transmission of Additional Information. The Scale Factor for the 16/14 Floating Comma Technique is interleaved in the Parity Bits.

The Digital Signal of a Stereo channel is known as the DS 1 Line (see also Chapter 1).

The non used half of the DS 2 line can be used for telephone operation or as a reverse channel from the Star network points to the Studios. There is also the possibility that of the Data blocks, known as Packets, can be transmitted with other data signals on a line of a higher level, for example DS 34.

Chapter 3

The Construction of the Main Frame

The individual Radio Stations transmit the digitalised AF on the DS 2 lines of the Post Office to the Satellite Base Station at Usingen in Taunus. Here the sixteen incoming Stereo channels are converted into a signal suitable for transmission. The parallel signals received, from the DS 2 Zubringer-path, are managed into packets and arranged sequentially into the two Main Frames A and B. Additional Code protection prevents transmission errors in the Satellite path.

The Stereo channels one to eight are in the Main Frame A, the channels nine to sixteen in the Main Frame B. The construction of both Main Frames is identical.

These begin with an 11 Bit Frame Synchronising word. These Synchronising words are selected so that they are easily decoded from the Data Current (BACKER-Code = 11100010010). The Synchronising word for the Main Frame B is identical to the Main Frame A but is, however inverted. After this sync, Special Service bits follow.

The Special Service Bit, which is present once per Main Frame, includes the Programme being offered for each AF Channel, the Transmitter Name and the Music/Speech ident. For transmitting the complete information, 8192 Bit are required. With a Frame frequency of 32 kHz, this information is transmitted in 256 ms.

The Special Service Frame consists in total of:

SA/PA	=	Special Service/Programme Offered
SA/SK	=	Special Service Station Ident
SAÜ/PA	=	Special Service Super Frame/Programme Offered
SAÜ/LB	=	Free Byte = Sync for SAU/SK
SAÜ/SK	=	Special Service Super Frame/Station Ident
SAÜÜ	=	Special Service Super-Super Frame
	=	7 x SAÜ/PA + 1 x SAÜ/LB + 8 x SAÜ/SK

The Structure of the Special Service Super-Super Frame SAÜÜ.

After the 16 Bit of the Sync 1-Word (Williard-Code = 0000010111001111) the transmission of the Programme Offered follows. Simultaneously, the Sync serves as the Start for the data of the Additional Information Z1 and Z2.

After the Sync, data transmission begins of the Channel L1/R1 + L2/R2 + 2 Byte Reserve. Each of these 8 Bit blocks is organised as one Mono channel.
The construction of the 8 Bit word, for the Programme Offered PA can be identified from the following table.

Programmart NR.					M/S	Betr.-Art		Parität
Bit-Nr.	1	2	3	4	5	6	7	8
0	0	0	0	0	M/S	0	1	P
1	0	0	0	1	M/S	0	1	P
2	0	0	1	0	M/S	0	1	P
3	0	0	1	1	M/S	0	1	P
4	0	1	0	0	M/S	0	1	P
5	0	1	0	1	M/S	0	1	P
6	0	1	1	0	M/S	0	1	P
7	0	1	1	1	M/S	0	1	P
8	1	0	0	0	M/S	0	1	P
9	1	0	0	1	M/S	0	1	P
10	1	0	1	0	M/S	0	1	P
11	1	0	1	1	M/S	0	1	P
12	1	1	0	0	M/S	0	1	P
13	1	1	0	1	M/S	0	1	P
14	1	1	1	0	M/S	0	1	P
15	1	1	1	1	M/S	0	1	P

In den ersten 4 Bits stehen die Programmarten von 0 bis 15. Im Stereofall können auch Doppelnennungen wie Sport/Nachrichten oder Sport/Pop usw. erfolgen.

Das 5. Bit kennzeichnet Musik (=1) oder Sprache (=0). Der Benutzer kann somit mit 2 Pegelreglern die Lautstärke zwischen Musik und Sprache individuell einstellen.

Bit 6 und 7 dienen zur Umschaltung zwischen 2 unabhängigen Monosignalen oder Stereobetrieb.
Datenblock für Kanal:

Links		Rechts		
Bit 6	Bit 7	Bit 6	Bit 7	
0	1	0	1	L1 und R1 sind unabhänige Monokanäle
0	1	1	0	Stereoübertragung

Das 8. Bit ist die Parität der Bits 1 bis 7 (bei einer geraden Anzahl von Einsen ist das Bit 0).

Ist ein Kanal nicht belegt, wird die Bitfolge 00001001 übertragen.

Die Programmart-NR. haben folgende Bedeutung:

0 Keine Programmartenkennung
1 Nachrichtendienste
2 Politik und Zeitgeschehen
3 Spezielle Wortprogramme
4 Sport
5 Lernen und Weiterbildung
6 Hörspiel und Literatur
7 Kultur, Kirche und Gesellschaft
8 Wissenschaft
9 Unterhaltendes Wort
10 Popmusik
11 Rockmusik
12 Unterhaltungsmusik
13 Leichte klassische Musik
14 Ernste klassische Musik
15 Spezielle Musikprogramme

Nach der Übertragung des Programmangebotes für die ersten beiden Stereokanäle kommt ein weite-res Synchronwort, der Sync 2 (Williard-Code = 0000010111111111) von 16 Bit. Danach schließt sich der Datensatz für die beiden Stereokanäle 3 und 4 an. Dies wiederholt sich nun für die Kanäle 5 bis 16. Diese Daten des Programmangebotes sind in einem SAÜ-Rahmen zusammengefaßt. Der Sonderdienst-überrahmen für das Programmangebot SAÜ/PA wird 7 mal wiederholt. Danach folgt ein Leerbyte SAÜ/LB. Es dient zur Erkennung, daß die nächsten 8 Sonderdienstüberrahmen die Senderkennung SAÜ/SK enthalten. Hier kann ein 8 stelliger Sendername, ähnlich dem RDS-System, übertragen werden.

Programme Mode NR					M/S	Operating Mode		Parity
Bit No.	1	2	3	4	5	6	7	8
0	0	0	0	0	M/S	0	1	P
1	0	0	0	1	M/S	0	1	P
2	0	0	1	0	M/S	0	1	P
3	0	0	1	1	M/S	0	1	P
4	0	1	0	0	M/S	0	1	P
5	0	1	0	1	M/S	0	1	P
6	0	1	1	0	M/S	0	1	P
7	0	1	1	1	M/S	0	1	P
8	1	0	0	0	M/S	0	1	P
9	1	0	0	1	M/S	0	1	P
10	1	0	1	0	M/S	0	1	P
11	1	0	1	1	M/S	0	1	P
12	1	1	0	0	M/S	0	1	P
13	1	1	0	1	M/S	0	1	P
14	1	1	1	0	M/S	0	1	P
15	1	1	1	1	M/S	0	1	P

In the first four Bits, the Programme modes from 0 to 15 are located. In the case of Stereo, twin identities such as Sport/Current news or Sport/Pop etc can follow.

The fifth Bit identifies Music (=1) or Speech (=0). The user can select individually between music and speech and to set the volume with two separate level controls.

Bit six and seven serve as the switching between two independent Mono signals or Stereo operation.
Data block for Channel:

Left		Right		
Bit 6	Bit 7	Bit 6	Bit 7	
0	1	0	1	L1 and R1 are independent Mono channels
0	1	1	0	Stereo transmission

The eighth Bit is the parity for the Bits 1 to 7 (with acomplete count of the ones the Bit is 0).

If a channel is not used, the Bit sequence 00001001 is transmitted.

The Programme mode-NR has the following meaning:

0 No Programme Mode Ident
1 Current News Service
2 Politics and Current Affairs
3 Special Word Programme
4 Sport
5 Education and Further Education
6 Plays and Literature
7 Culture, Religion and Business
8 Science
9 Entertainment Words
10 Pop Music
11 Rock Music
12 Entertainment Music
13 Light Classical Music
14 Serious Classical Music
15 Special Music Programme

After the transmission of the Programme Offered, for the first two stereo channels, there is an additional synchronising word, the second Sync (Williard-Code = 0000010111111111) of 16 Bit. Thereafter the data set for the two Stereo channels 3 and 4 are completed. This procedure is repeated for the channels 5 to 16. The data for the Programme Offered are contained in a SUA Frame. Within the Special Service Super Frame, the Programme offered SAU/PA is repeated seven times. After there follows a free byte SAU/LB. This serves for identification that the following Special Service Super Frames contain eight Station Idents SAU/SK. Here, an eight position transmitter name, similar to the RDS System, can be transmitted.

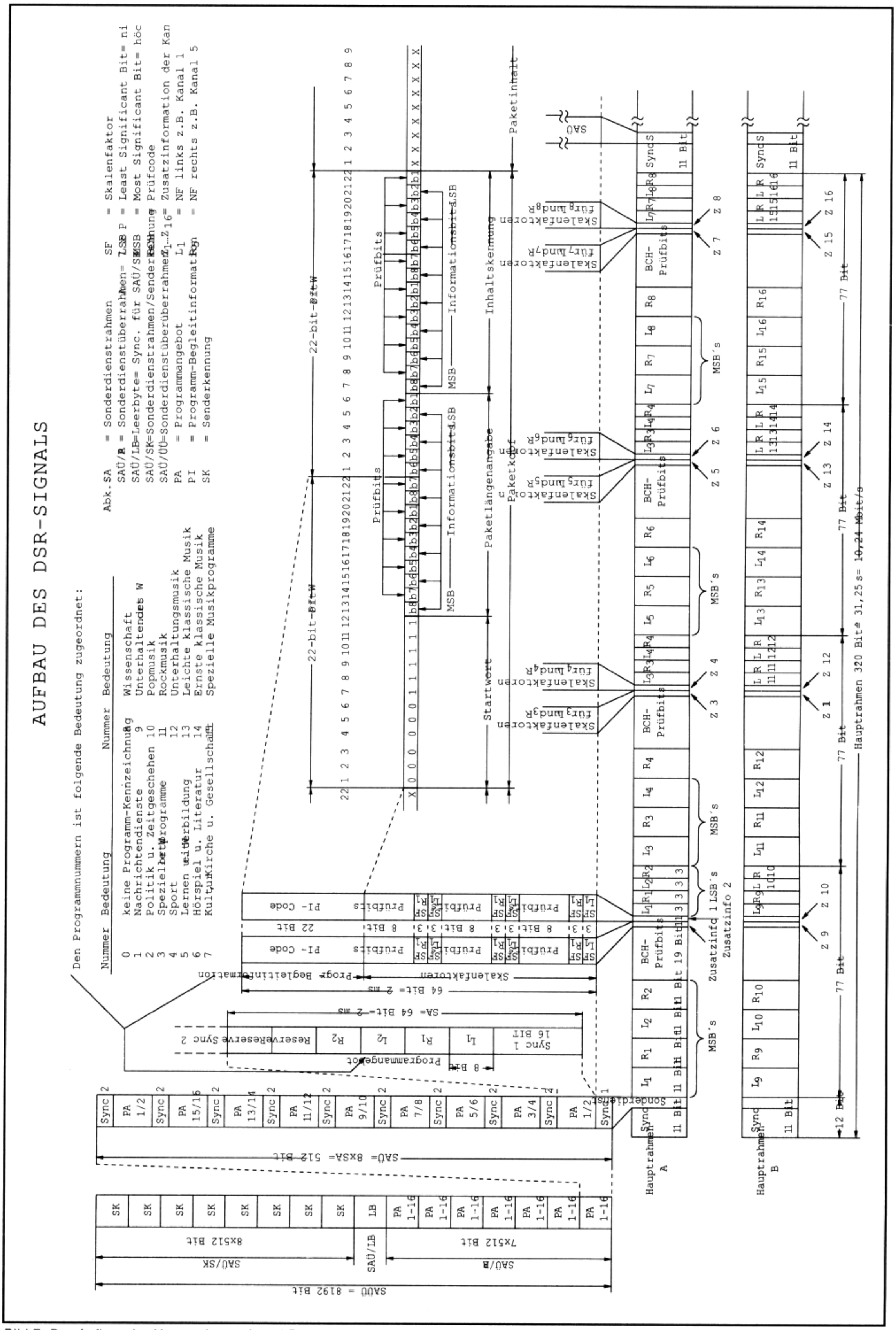


Bild 7: Der Aufbau der Hauptrahmen A und B

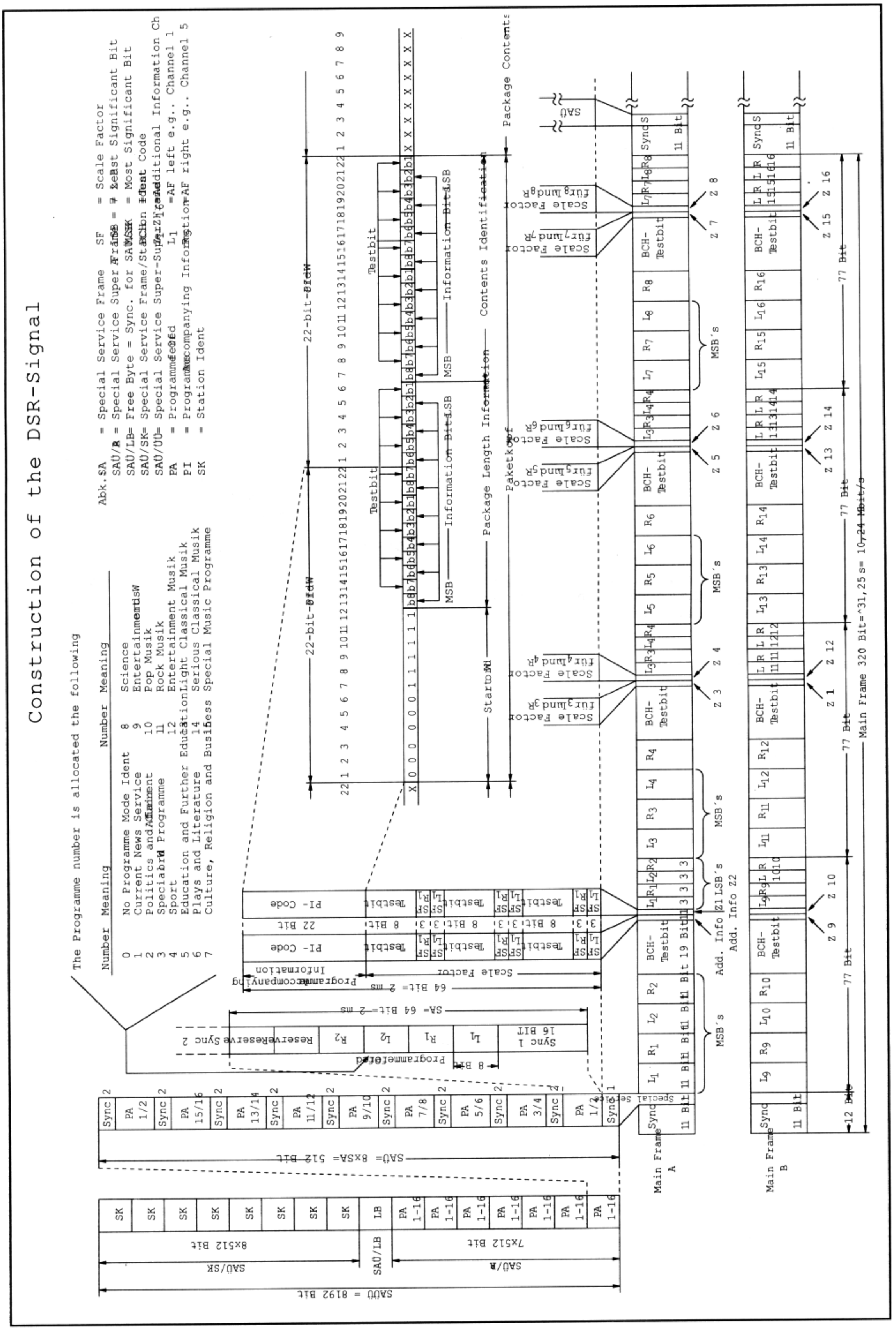


Fig. 7: The construction of the Main Frames A and B

Der 77 Bit-Block

The 77 Bit Block

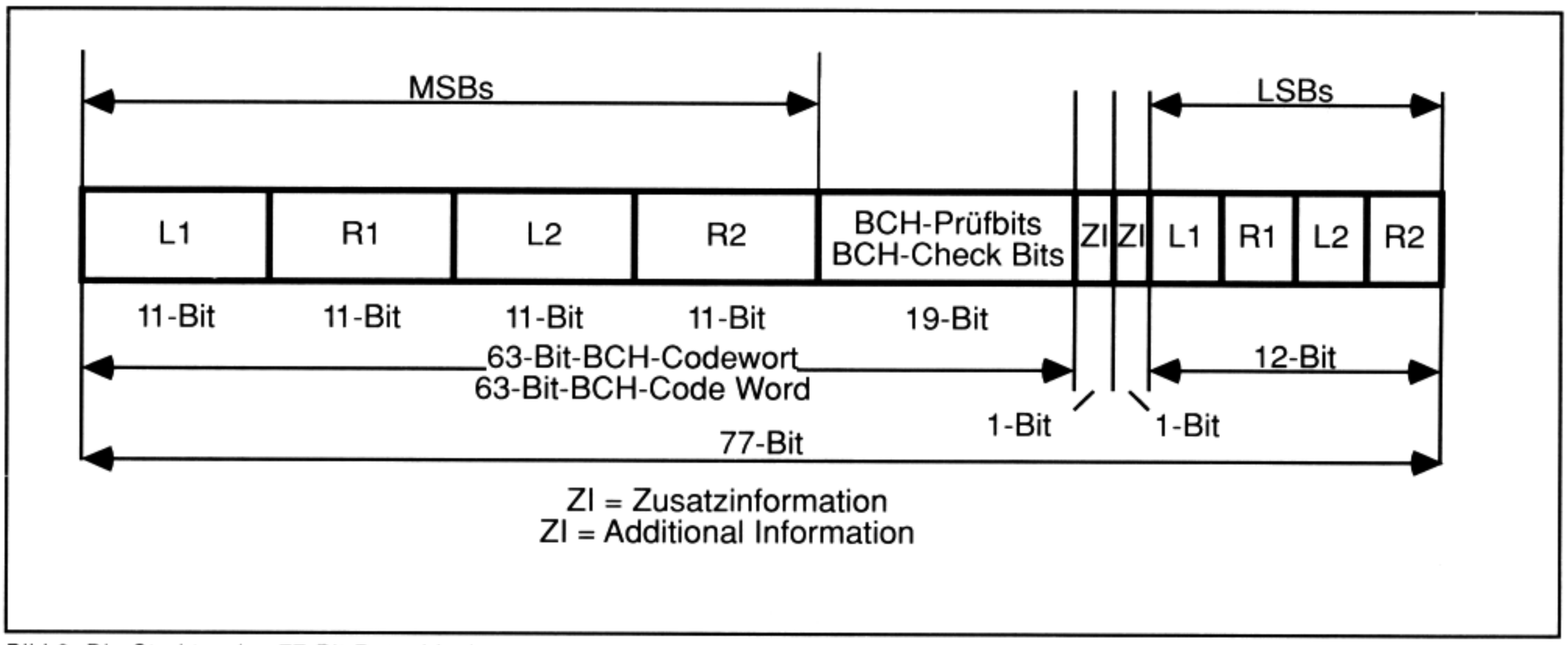


Bild 8: Die Struktur des 77-Bit Datenblocks

Fig. 8: The structure of the 77-Bit Data Blocks

Nach dem Sonderdienstbit folgen jeweils die oberen 11 von den 14 Bits der NF-Kanäle L1, R1, L2 und R2. Aus diesen 4 x 11 Bit-Blöcken wird durch einen 63,44 BCH-Code ein 19 Bit Prüfcode erzeugt. Zusammen mit den 4 x 3 LSBs der 14 Bit Tonsignale und je einem Zusatzbit Z1 und Z2 für den Stereokanal L1/R1 und L2/R2, ergeben sich 77 Bit.

Der BCH-Coder

Der BCH-Coder hat die Aufgabe, die Fehler, die bei einer Übertragung der Daten auftreten können, zu korrigieren. Da jede mögliche Bitkombination durch die NF-Abtastwerte auch benutzt wird, kann eine Codesicherung nur durch zusätzliche Bits geschehen. Diese Bits bezeichnet man auch als Redundanz.

Diese zusätzliche Information zur Sicherung von Daten kennt man auch aus dem Geschäftsleben. Hier sichert man z.B. den Betrag auf einem Scheck durch den "Betrag in Worten " ab. Würde der Scheck im Bereich des "Betrag in Ziffern" so beschädigt, daß eine Ziffer fehlt, kann der Betrag nicht mehr reproduziert werden. Bei der gleichen Beschädigung im Bereich "Betrag in Worten" kann man ohne weiteres den Betrag herauslesen.

Beispiel:@ = Fehler

Ohne Fehler Mit Fehler
195 - - - - - - - - - - - -> 1@5
Einhundertfünfundneunzig - - >Einhun@ertfünfundn@unzig

In dem Beispiel ist zu erkennen, daß sich trotz der 2 Fehler in den Betrag in Worten der richtige Wert zu erkennen ist. Nachteil ist jedoch der höhere Platzbedarf.

Beim 63,44 BCH-Coder werden aus den 44 Informationsbits 19 Prüfbits gewonnen, die zusammen 63 Bits ergeben.

Die Gewinnung der Prüfbits geschieht durch ein 19-stufiges Schieberegister. Dies wird durch das Generatorpolynom

$$g(x) = x^{19} + x^{10} + x^9 + x^6 + x^4 + 1$$

beschrieben.

Die Schieberegister werden dabei durch die oben genannten Werte vorgeladen. Beim Codiervorgang verknüpft man mit einem Exclusiv-Odergatter das Daten-und Schieberegistersignal. Das Signal aus dem Exclusiv-Odergatter läuft einmal als Rückkoppelsignal an das Schieberegister zurück und an dem Ausgang. Die 44 Datenbits werden somit je nach dem Inhalt des Schieberegisters invertiert oder nicht invertiert. Nach den 44 Datenbits taktet man noch das 19 stufige Schieberegister aus. Auf diese Weise erhält man die 44 und 19 Bit. Beim nächsten Codiervorgang setzt man das Schieberegister wieder auf die Anfangswerte zurück. Da beim Codiervorgang immer von gleichen Anfangswerten ausgegangen wird, kann der Decoder im Gerät das Signal wieder in die ursprünglichen Bits zurückverwandeln.

After the Special Service Bit, the higher 11 of the 14 Bits of the AF Channel L1, R1, L2 and R2 follow. From these 4 x 11 Bit blocks a 19 Bit Check Code is generated from the 63, 44 BCH-Code. Together with the 4 x 3 LSB's, the 14 Bit sound signals and with an additional Bit Z1 and Z2 each for the Stereo channels L1/R1 and L2/R2, a complete total of 77 Bit is formed.

BCH-Coder

The BCH-Coder has the function of correcting faults that can occur in a transmission of data. Because all possible Bit combination of the AF sampling values are used, code security can only be obtained by introducing additional Bits. These Bits are known as Redundancy.

These additional information Bits for security of data is also known in business life. For example, the information on a cheque is protected by the "amount in words". If the cheque has been damaged in the area containing the "amount in figures", resulting in one number missing, the amount can no longer be reproduced. With a similar damage in the "amounts in words" area, the amount can be established without additional processing.

Example: @ = error

without error with error
195 - - - - - - - - - - - -> 1@ 5
One Hundred and ninety five - - >One Hun@red and ninety @ive

In this example it can be seen that even though there are two errors in the "amount in words", the correct value can be identified. The disadvantage is that a larger space is required.

With the 63, 44 BCH Code, 19 check bits can be regained from the 44 information bits, which together form a total of 63 bits.

The regaining of the check bits is achieved by a 9 stage shift register. This is formed by the generator polynomial.

$$g(x) = x^{19} + x^{10} + x^9 + x^6 + x^4 + 1$$

The shift register is loaded to the values given above. For the coding process, the data and the shift register signal is combined in an Exclusive-Or Gate. The signal from the Exclusive-Or Gate is fed once to the shift register as a feedback signal and also to the output. The 44 data Bits are then inverted or not inverted according to the content of the shift register. After the 44 data Bits, the content of the 19 stage shift register is clocked out. By this method, 44 and 19 Bits are obtained. During the next coding process, the shift register is reset to its starting value. Because with this coding process, the same starting values are always fed out, the Decoder in the Receiver can always recover the original bits in the signal.
If the transmission is corrupted, the Decoder in the Receiver is always

Bei einer gestörten Übertragung ist der Decoder im Empfänger in der Lage, bis zu 2 Fehler in einem 63 Bit-Block zu korrigieren und bis zu 5 Fehler sicher zu erkennen. Bei einem nicht korregierbaren Fehler kann der Mittelwert der benachbarten Abtastwerte eingesetzt werden (Interpolation). Dadurch ist der hörbare Fehler sehr klein gehalten. Dies bezeichnet man auch als "Fehlerverschleierung".

Zur weiteren "Fehlerverschleierung" verschachtelt man noch den 1. mit dem 2. und den 3. mit dem 4. 77 Bit-Block bitweise miteinander.

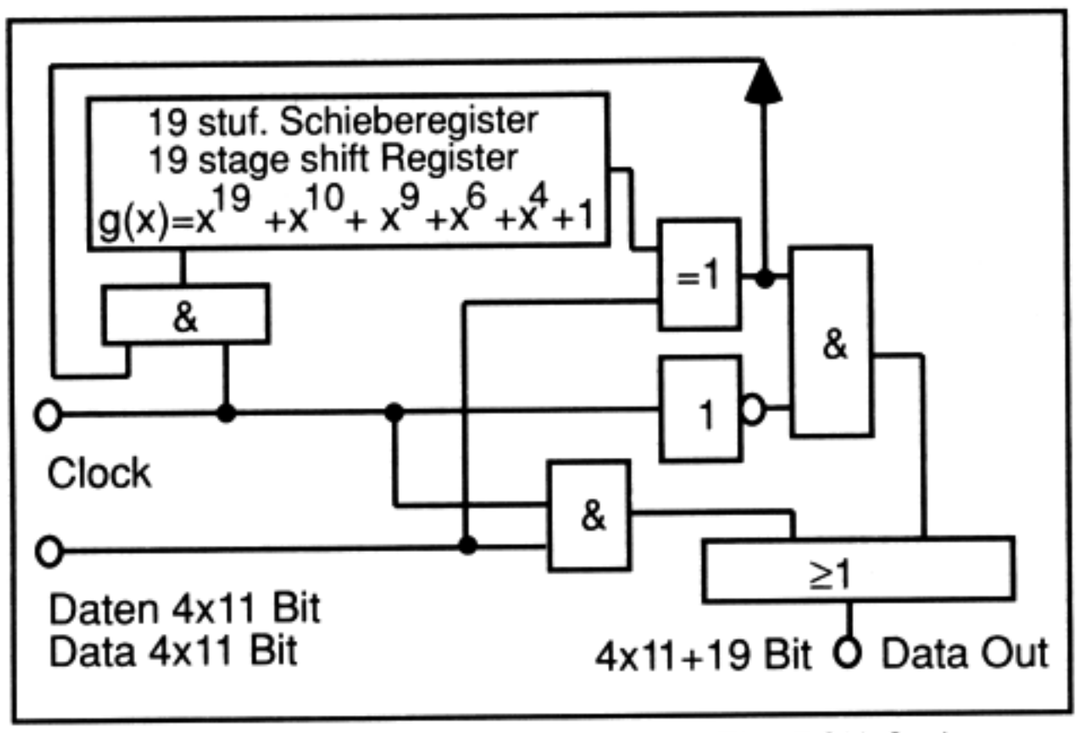


Bild 9: Der BCH-Coder

Fig. 9: The BCH-Coder

Die Zusatzinfo Z1 und Z2 innerhalb des 77 Bit-Blocks

Mit dem Zusatzbit Z1 werden die Skalenfaktoren für die 1. beiden und mit Z2 die Skalenfaktoren für die 2. beiden Monokanäle übertragen. Auch hier verwendet man die Rahmenstruktur. Diese wiederholt sich nach 64 Bit = 64 Hauptrahmen = 2 ms. Die Übertragung der Zusatzbits startet nach dem Sync 1 des Sonderdienstrahmens. Somit ist eine Synchronisierung dieses Rahmens gewährleistet. Damit im Empfänger der Skalenfaktor (Lautstärkebereich) vor dem Datensatz ankommt zu dem er gehört, besitzen diese einen Vorlauf von 4 ms.

Da die Skalenfaktoren die Lautstärke einstellen, kommt diesen bei der Codesicherung eine besondere Bedeutung zu. Aus diesem Grunde werden sie ebenfalls mit einem (14,6) BCH-Code abgesichert und zur zusätzlichen Sicherheit 3 mal übertragen.

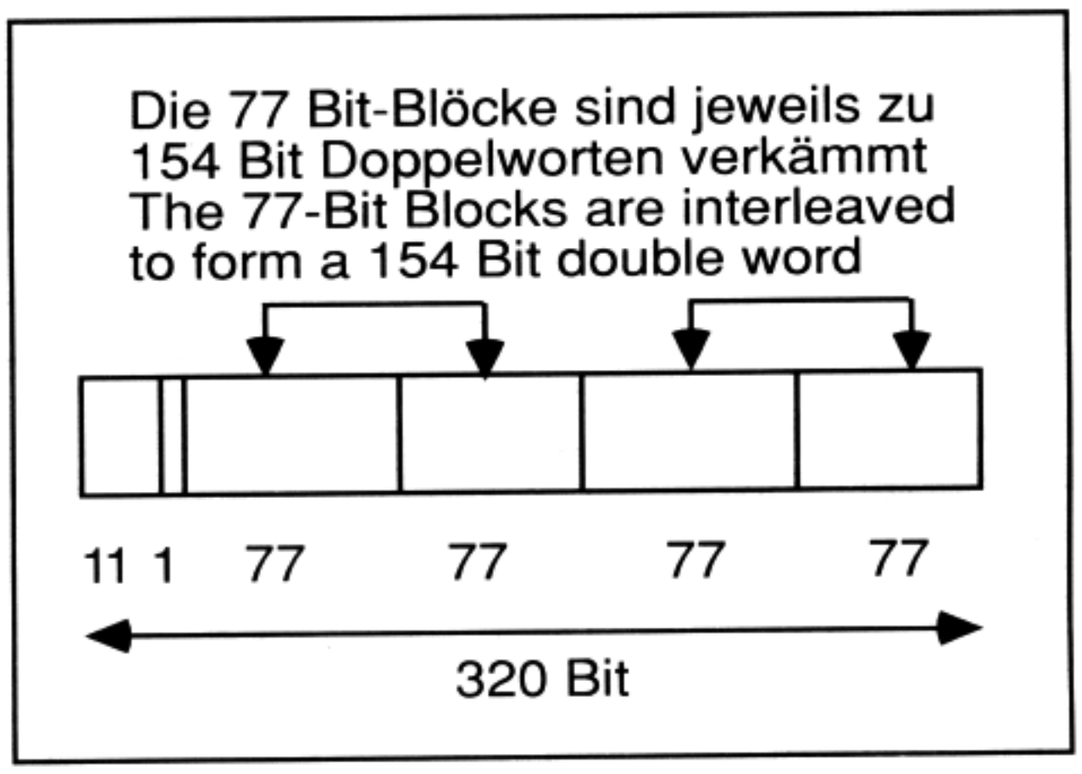


Fig. 10: Die Verschachtelung der 77-Bit Blöcke
Fig. 10: The inzterleaving of 77-Bit-Blocks

Nach den Zusatzinfos werden noch die 3 LSBs von den 4 x 14 Bit der Abtastwerte übertragen. Diese sind nicht weiter codegesichert, da bei einem Ausfall dieser 3 Bits der Fremdspannungsabstand dieses einen Abtastwertes um lediglich 3 x 6 = 18 dB zurückgeht (Bild 8).

Die Programminformation PI in der Zusatzinfo.

Nach den 42 Bit für die Skalenfaktoren stehen durch die Rahmenstruktur der Zusatzinfo noch 22 Bit zur Verfügung. Diese können vom Sender zur Datenübertragung, wie z.B. Texte die zum Programm passen, benutzt werden. Dies findet jedoch z.Z. noch keine Anwendung.

able to correct up to two faults in a 63 Bit Block and able to identify up to five faults. If the error cannot be corrected, the average value of the neighbouring sampled value can be inserted (Interpolation). By this method audible faults are held to a very low level. This process is also known as "Error Concealment".

For additional "Error Concealment" the Bits are interleaved with each other in the sequence of the first with the second and the third with the fourth in each 7 Bit Block.

The Additional Info Z1 and Z2 within the 77 Bit Blocks

The Scale Factor is transmitted with the additional Bit Z1 for the first two and with Z2, for the second two Mono channels. The Frame Structure is also used in this case. This is repeated in the period of 64 Bit=64 Main Frames = 2ms. The transmission of the additional Bits commences after the Sync 1 of the Special Service Frame. The synchronising of this Frame is also realised by this method. Therefore the Receiver obtains the Scale Factor (volume range) before the data set comes in as it precedes it by 4ms.

Because the Scale Factor sets the volume, it has a special function when considering the code security. For this reason it is protected by a (14,6) BCH-Code and for additional security is transmitted three times.

After the Additional Infos the three LSB's from the 4 x 14 Bit sampled value are transmitted. These are not additionally security coded because failure of these three Bits results in the signal to noise ratio of the sampled value being reduced by 3 x 6 =18 dB (Figure 8).

The Programme Information P1 in the Additional Info

After the 42nd Bit for the Scale Factors, due to the Frame structure of the Additional Info, there is a further 22 Bit available for use. These can be used to transmit data such as the Text applicable to the programme. At the present time however, no use has been found for them.

The P1-Information is organised into packets. It contains a length of

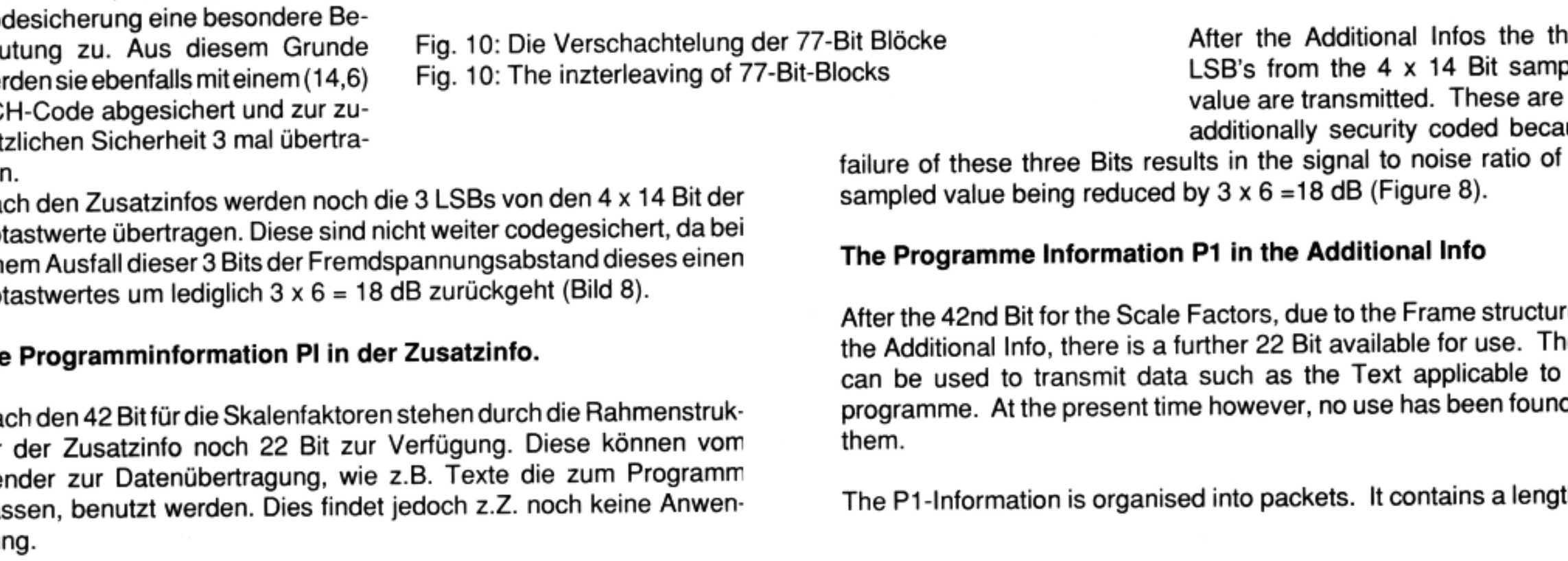


Bild 11: Die Struktur des Zusatzinformationsrahmens

Fig. 11: The structure of the Additional Information Frame

Die PI-Information ist in Paketen organisiert. Sie besitzen eine Länge von maximal 255 x 22 Bit.
Das Paket beginnt mit dem Paketkopf. Er besteht aus 3 x 22 Bit und beginnt mit dem Startwort. Es ist 12 Bit lang und besitzt die Struktur "000000111111". Danach folgen je zwei Byte für die Paketlängenangabe und die Inhaltskennung. Die Informationsbits der Paketlängenangabe und der Inhaltsangabe sind durch 2 Prüfbytes abgesichert. Dabei sind die Prüf- und Informationsbits ineinander verschachtelt. Durch einen Hamming- (8,4)-Code kann ein Fehler korrigiert und Mehrfachfehler erkannt werden.

Die NF-Kanäle 3 bis 8 sind in den nächsten 3 x 77 Bit-Blöcken untergebracht. Der Hauptrahmen B ist im Aufbau zum Hauptrahmen identisch. Der Sync ist jedoch invertiert. Dadurch kann der Decoder den Hauptrahmen A oder B erkennen. Im Hauptrahmen B sind die Stereokanäle 9 bis 16 im gleichen Schema codiert wie die Kanäle 1 bis 8 im Hauptrahmen A. Siehe Zeichnung Bild 7.

255 x 22 Bit maximum.
The packet commences with a Header Packet and it consists of 3 x 22 Bit and commences with a Start Word. This is 12 Bit long and contains the structure "000000111111". There after follows 2 Byte each for the Packet Length Information and the Contents Ident. The information Bits of the Packet Length Information and the Content ident are protected by two check Bytes. For this the check and information Bits are interleaved with each other. Due to the Hamming-(8,4)-Code, one fault can be corrected and multiple faults can be identified.

The AF Channels 3 to 8 are contained in the next 3 x 77 Bit Blocks. The Main Frame B is identical in construction to the Main Frame A. The Sync is however inverted. By this method, the decoder can identify the Main Frame A or B. In the Main Frame B there are the Stereo channels 9 to 16 which are coded in the same way as the channels 1 to 8 of the Main Frame A. See the illustration Figure 7.

Kapitel 4

Die 4 PSK-Modulation

Um den Träger möglichst effizient auszunutzen und eine störsichere Übertragung zu erreichen, verwendet man eine Phasenmodulation. Da im Signal ja nur 0 und 1 vorkommt, ändert sich die Phasenlage des modulierten Trägers zwischen 0 und 180 Grad. Verschiebt man den Träger um 90 Grad, so kann man diesen Träger ebenfalls mit der logischen 0 und 1 modulieren (90 und 270 Grad). Dadurch ergibt sich eine theoretische Übertragungskapazität von 2 Bit/Hz Bandbreite. Da sich Filter nicht unendlich steil bauen lassen, ergibt sich eine tatsächliche Übertragungskapazität von ca. 1,5 Bit/Hz Bandbreite. Dieses Verfahren nennt man 4 PSK oder QPSK-Modulation. Die Abkürzung PSK steht für Phase Shift Keying.

Da jeder Träger beim Modulieren die Phase zwischen 0 und 180 bzw. 90 und 270 Grad ändert, ergeben sich nach der Addition folgenden Phasenlagen:

Hauptrahmen A	Hauptrahmen B	Trägerphase
0	0	45°
1	0	135°
0	1	315°
1	1	225°

Der Hauptträger A und B wird nun auf die beiden Träger 0 und 90 Grad aufmoduliert. Dabei ergibt sich eine Datenrate von 20,48 MBit/s. Durch die Bandbreitenreduzierung der 4 PSK-Modulation benötigt man jedoch nur eine HF-Bandbreite von 14 MHz. Somit paßt dieses Signal in zwei TV-Kanäle, oder in einem Hyperbandkanal.

Bei Modulationspausen z.B. vor den Nachrichtensendungen würde der Träger unmoduliert abgestrahlt. Die Sendeenergie wäre dann nicht mehr über die ganze Senderbandbreite gleichmäßig verteilt. Sie würde nun über eine Frequenz abgestrahlt. Dies kann zu Störungen auf der Satellitenübertragungsstrecke führen (Stichwort: Energieverwischung). Außerdem wäre die Synchronisation des Demodulators nicht bzw. schwer möglich. Abhilfe bringt eine Verscrambelung der beiden Hauptrahmen. Hierbei werden die Datenströme ohne Sync und Sonderdienstbit mit den Daten eines rückgekoppelten Schieberegisters verknüpft. Der Anfangszustand dieses Registers ist definiert. Die Daten des Schieberegisters und die Daten vom Hauptrahmen werden Exclusiv-Oder verknüpft. Dies nennt man auch einen Quasi-Zufallsgenerator.

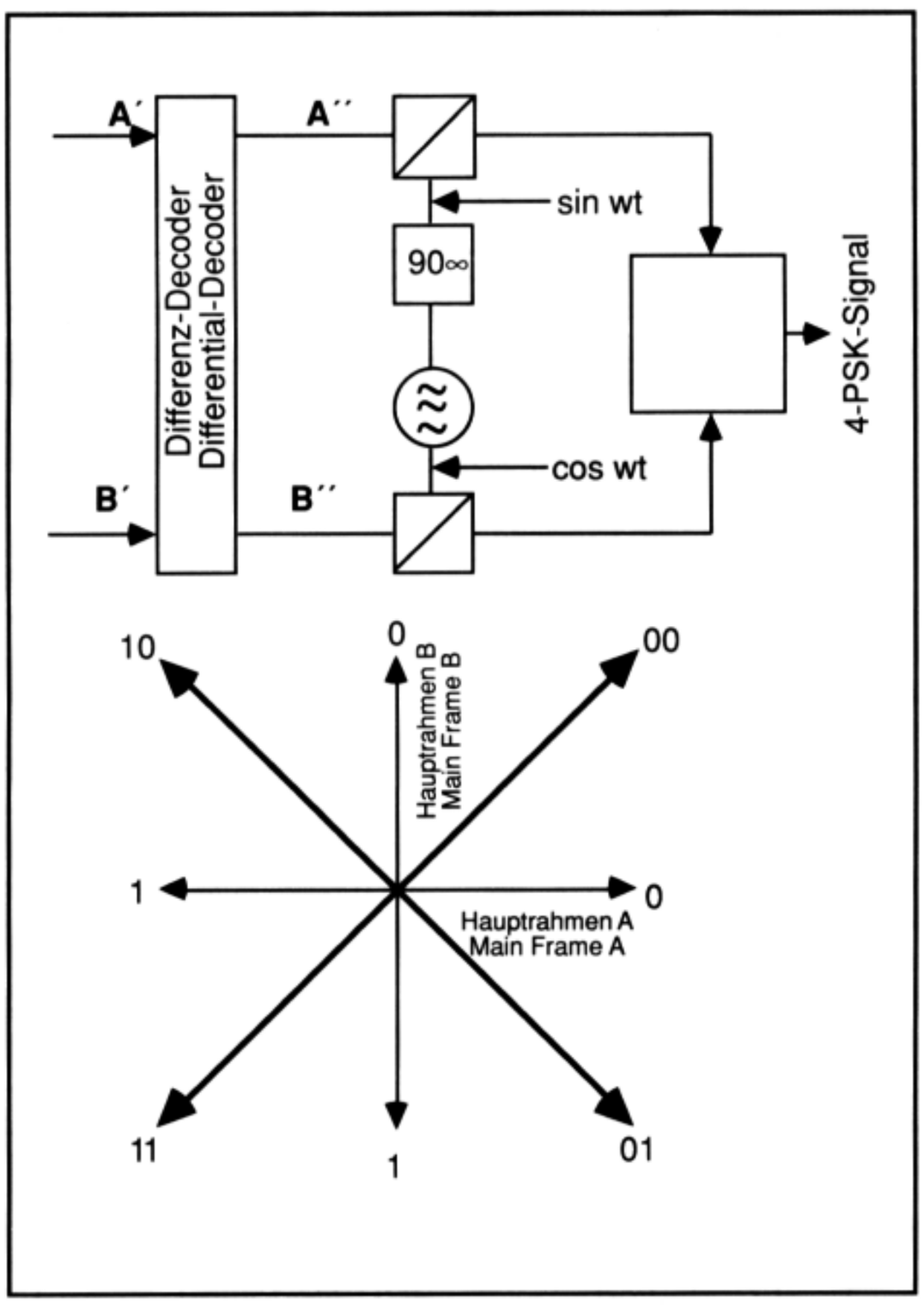


Bild 12: Der 4-PSK-Modulator

Chapter 4

The 4-PSK Modulation

To use the carrier as efficiently as possible and to obtain an interference protected transmission, phase modulation is used. Because there are only 0's and 1's in the signal, these alter the phase position of the modulated carrier between 0 and 180 degrees. If the carrier is shifted by 90 degrees, the carrier can also be modulated with the 0's and 1's (90 and 270 degrees). This produces a theoretical transmission capacity of 2 Bit/Hz Bandwith. Because filters cannot be constructed with a very steep cut-off characteristic, a practical transmission capacity of approx. 1.5 Bits/Hz Bandwith is obtained. This process is known as 2 PSK or QPSK-Modulation. The abbreviation PSK stands for Phase Shift Keying.

Because each carrier, when modulated has its phase altered between 0 and 180 or 90 and 270 degrees, when added the following phase positions are produced:

Main Frame A	Main Frame B	Carrier Phase Degrees
0	0	45
1	0	135
0	1	315
1	1	225

The Main Carrier A and B are now modulated onto the two carriers at 0 and 90 degrees. This produces a data rate of 20.48 MBit/s. Due to the reduction of the bandwith the 4-PSK-Modulation requires a HF Bandwith of 14 MHz only. Therefore the signal fits into two TV Channels, or in one Hyperband Channel.

Fig. 12: The 4-PSK-Modulator

During modulation pauses, for example, the carrier is unmodulated before a transmission of news. The transmitter energy is not evenly distributed over the complete transmission bandwith. Only one frequency is radiated. This can cause interference in the Satellite transmission path (known as: Energy Dispersal). Also the synchronisation of the demodulators will not be obtained or will be difficult to achieve. A cure is to scramble both Main Frames. For this the data current, without Sync and Special Service Bits are combined with the data in the feedback signal from the Shift Registers. The starting state of this register is defined. The data from the shift register and the data from the Main Frame is combined in an Exclusive-Or Gate. This is also known as a Quasi-Event Generator.

As one Frame of 320-11-1=308 Bit is to be scrambled, a Shift Register

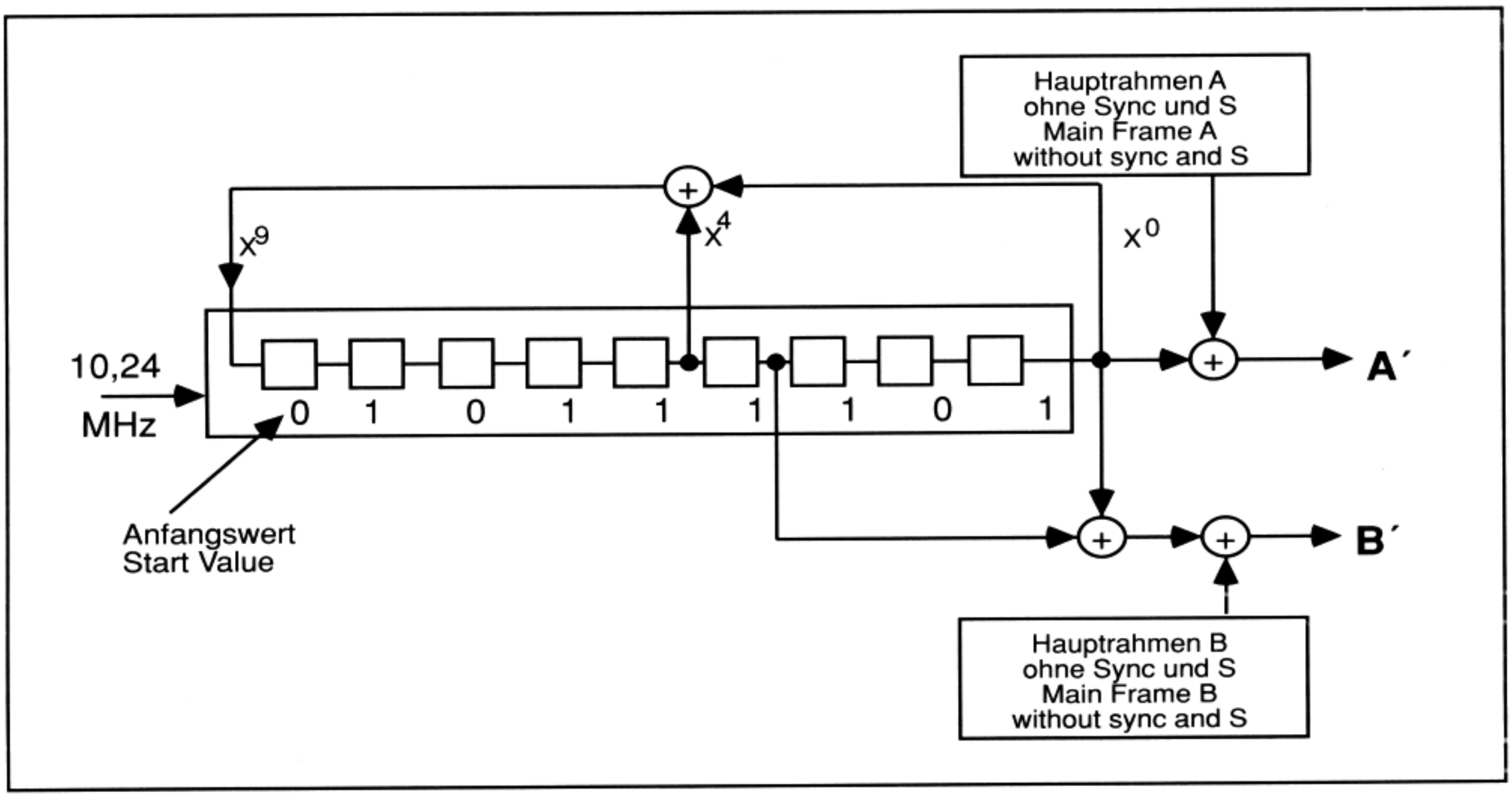


Bild 13: Der Scrambler

Fig.13: The scrambler

Um einen Rahmen mit 320 - 11-1= 308 Bit zu verscrambeln, ist ein Schieberegister mit 9 Bit erforderlich, damit sich der Datenzyklus nicht innerhalb eines Rahmens wiederholt. Bei 9 Bit wiederholt sich die Quasi-Zufallsfolge erst nach 512 Takten.

Der Anfangswert des Schieberegisters wird durch das Rahmensynchronwort auf 010111101 gesetzt. Von diesem Wert geht auch der Empfänger aus, der dann die verscrambelten Daten zurückwandeln kann.

Siehe auch die Zeichnung des Scrambler Bild 13.

Die Daten nach dem Scrambler A´und B´werden auf einen 70 MHz Träger moduliert. Die Bodenstation setzt dann das Signal auf 17 GHz um und sendet es zum Satelliten. Auf der Strecke zum Satelliten erfährt das Signal eine Dämpfung von über 200 dB. Der Satellit setzt dieses Signal in den 12 GHz-Bereich um und sendet es zur Erde zurück.

Das digitale Rundfunksignal wird z.Z. über den Satellit "Kopernikus" im 12 GHz-Bereich (12,625 GHz) mit horizontaler Polarisation und über den "TV-SAT 2" mit 11,977 GHz Linkszirkular übertragen (Stand: September 1990)

Dieses Signal kann in der Bundesrepublik und den angrenzenden Ländern mit einem Satellitenspiegel von ca. 60 cm Durchmesser empfangen werden. Nimmt man bei einer extrem schlechten Witterung Empfangsstörungen in Kauf, kann man sogar mit einem Spiegeldurchmesser von 30 cm auskommen. Diese Spiegelgröße genügt beim TV-SAT generell.

with 9 Bit is required so that a Frame is not repeated within the cycle period of the data. The ninth Bit repeats the Quasi-Event sequence again after 512 Clocks.

The starting value of the Shift Register is set to 010111101 with the Frame Synchronising word. The Receiver can reconvert the scrambled data from this value.

See also the drawing of the Scrambler, Figure 13.

The data, from the scrambler A' and B', is modulated onto a 70 MHz carrier. The Base Station converts the signal to 17 GHz and sends this to the Satellite. Along the path to the satellite, the signal suffers attenuation of more than 200 dB. The satellite converts the signal into the 12 GHz Band and returns it to the Earth.

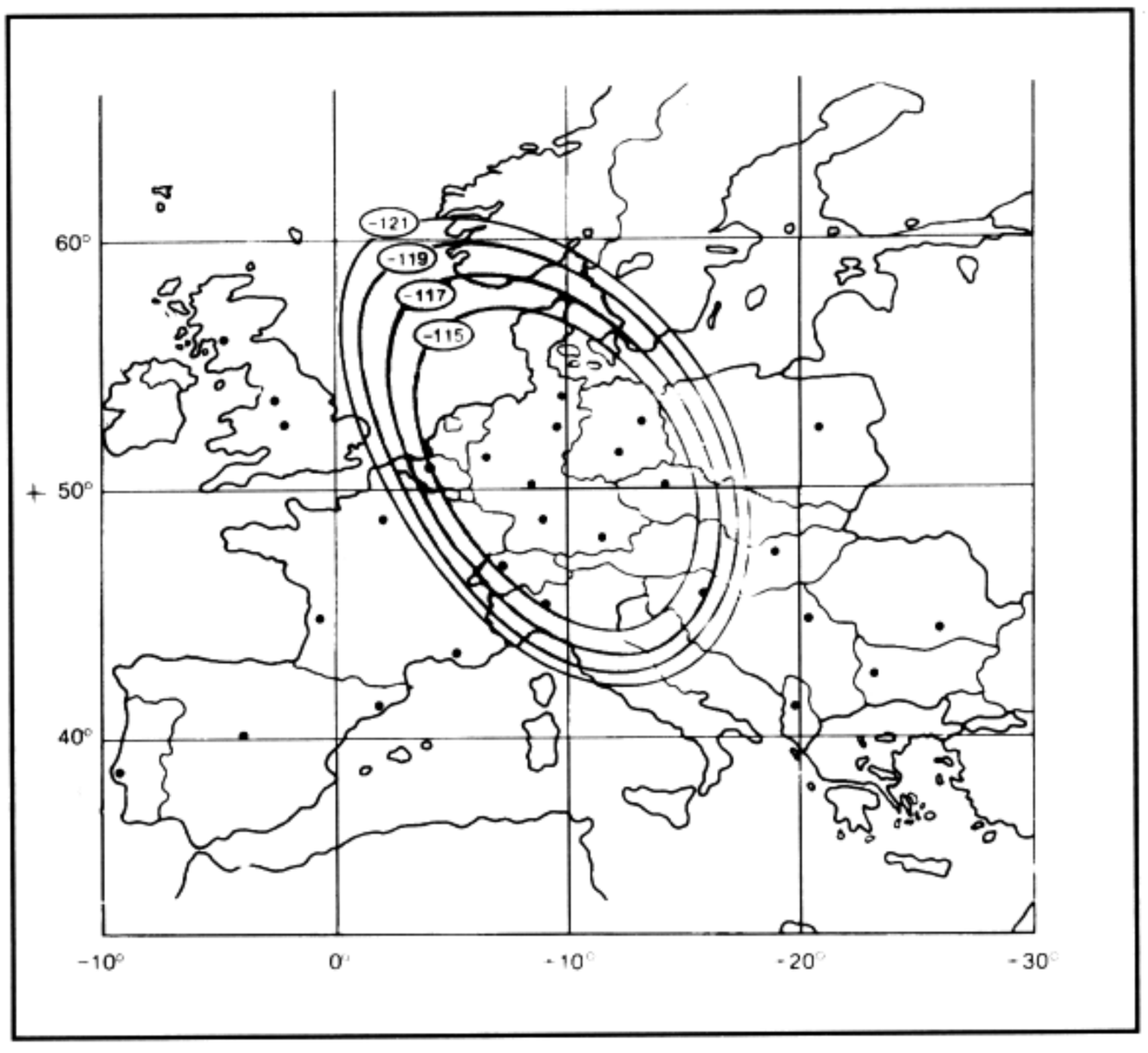


Bild 14: Der Footprint des "Kopernikus"

Fig. 14: The foot print of "Kopernikus"

The Digital Radio signal is transmitted at the present time in the 12 GHz Band from the Satellite "Kopernikus" (12,625 GHz) with horizontal Polarisation and transmitted via the "TV-SAT 2" at 11,977 GHz with left-circular Polarisation (Status: September 1990).

The signal can be received with a Satellite dish of approx. 60cm in diameter in the German Republic and in the surrounding countries. If one is prepared to tolerate reception difficulties in extremely bad weather, a dish diameter of 30 cm can be used. This dish size is generally adequate for receiving SAT-TV.

The DSR-Programme

Die DSR-Programmverteilung auf dem 12,5 GHz Transponder des DFS1 Kopernikus (Stand Januar 1991):

1. BR 4	K1
2. SWF 2 oder 3	K2
3. RB 2	K3
HR 2, SFB 3	K4
NDR 3	K5
Starsat Radio	K6
Deutschlandfunk	K7
WDR 3	K8
RIAS 1	K9
Europawelle Saar	K10
Antenne Bayern	K11
Klassik-Radio	K12
FFM	K13
RADIOROPA	K14
Die Sendefrequenz :	12,625 GHz
Polarisation:	Horizontal
Leistung:	53 dBW
Sendezeit:	0-24 Uhr

Die 12 GHz werden nun durch das LNC in den 1 GHz Bereich heruntergemischt. Je nach konfiguration des DSR-Empfängers kann dieser direkt mit der Außeneinheit (z.B. ST 9000), oder über einen TV-Satellitenempfänger mit DSR-Ausgang (480 MHz) verbunden werden.

Bei den GRUNDIG-Sat-Receivern ist der DSR-Kanal, des Satelliten "Kopernikus" auf Programmplatz 13 (Kanal 28) vorprogrammiert. Je nach LNC können sich die Frequenzen um über 4 Kanäle verschieben. Beim Kombi-LNC der Fa. Hirschman liegt der DSR-Träger auf Kanal 84. Hier sehen Sie, daß man durch dieVielzahl der LNCs kaum einen festen Wert geben kann. Bei einer unbekannten LNC sucht man einen TV-Kanal im 12 GHz Band (z.B. Pro 7).

distribution from the 12.5 GHz Transponder on DFS1 Kopernikus (Status: January 1991).

1. BR4	Ch1
2. SWF 2 or 3	Ch2
3. RB2	Ch3
HR 2, SFB 3	Ch4
NDR 3	Ch5
Starsat Radio	Ch6
Deutschlandfunk	Ch7
WDR 3	Ch8
RIAS 1	Ch9
Europawelle Saar	Ch10
Antenne Bayern	Ch11
Klassik-Radio	Ch12
FFM	Ch13
RADIOROPA	Ch14
The transmitter frequency:	12,625
Polarisation:	Horizontal
Power:	53 dBW
Transmission Time:	0-24 Hours

The 12 GHz is down converted to 1 GHz by the LNC. According to the configuration of the DSR-Receiver, this can be combined directly with the Out-door unit (for example ST9000), or via a TV-Satellite Receiver with DSR output (480 MHz).

With the GRUNDIG-Sat-Receivers the DSR Channel from "Kopernikus" is Pre-Programmed into programme position 13 (channel 28). According to the LNC in use the frequency may be shifted by approximately 4 channels. With a combi-LNC made by Hirschman, the DSR carrier is on channel 84. Note that, due to the great many types of LNC's in use, a fixed value cannot be given. With an unknown LNC, first search for a TV channel in the 12 GHz Band (eg. Pro 7).

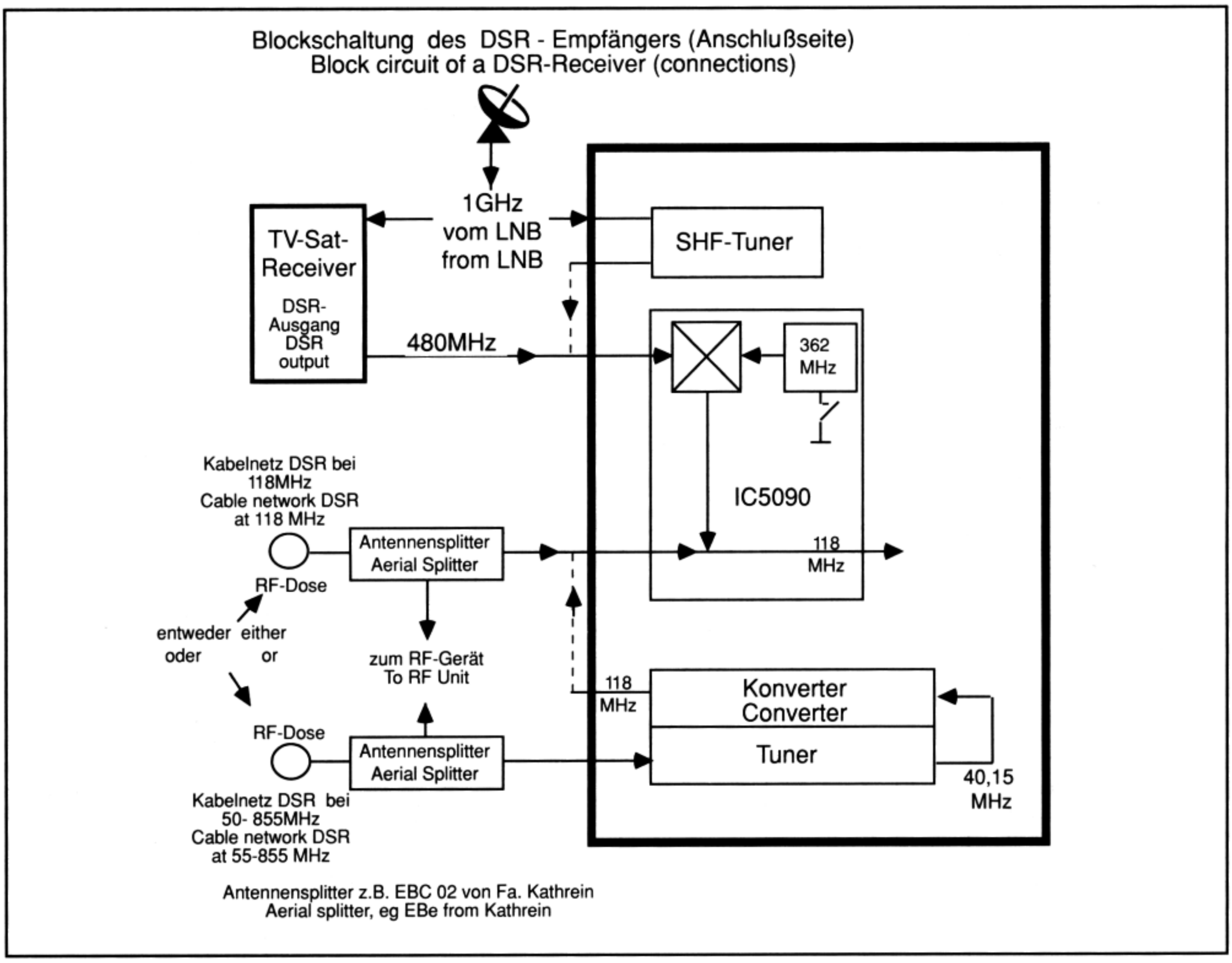


Bild16: Blockschaltung des DSR-Receivers

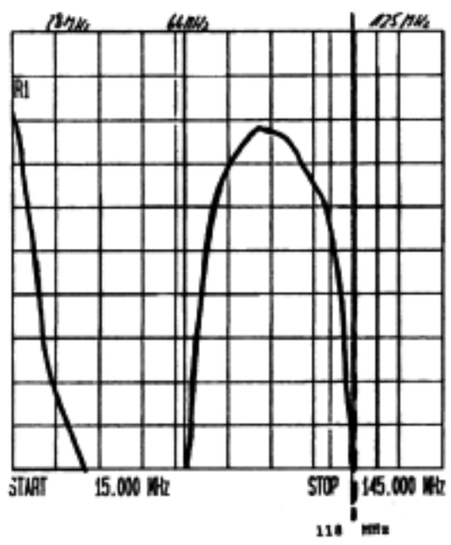
Fig. 16: Block circuit diagram of a DSR Receiver

An Hand der Kanaldifferenz zur Tabelle in der Bedienungsanleitung ist die Kanalnummer für den DSR-Kanal leicht zu ermitteln

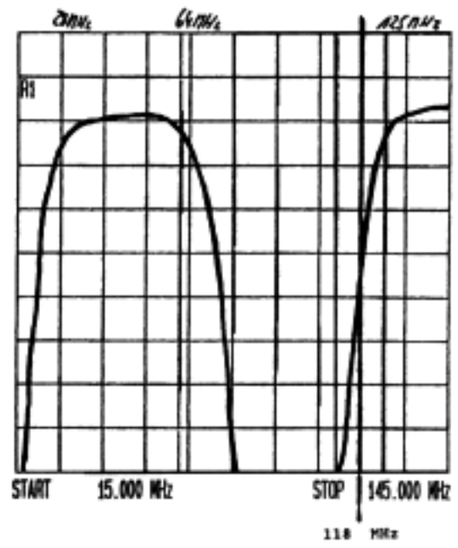
Im DSR-Receiver setzt man das 480 MHz Signal in 118 MHz um. Bei einem Betrieb in einer Kabelanlage steht ein eigener 118 MHz Anschluß zur Verfügung.
Beim Anschluß in einem Kabelnetz ist es wichtig, daß die Rundfunk-Antennendosen gegen Dosen ohne TV-Sperrfilter ausgetauscht werden. In den "alten" Dosen ist der 118 MHz Bereich stark unterdrückt. Hier kann man über den TV-Ausgang der Antennendose besseren Empfang erreichen.

In der Kabelanlage steht der Frequenzbereich von 118 MHz ± 7 MHz für das DSR-Signal zur Verfügung. Dieser Frequenzbereich ist jedoch nicht in allen Ländern frei. Weiterhin müßte bei einem weiteren DSR-Kanal im Kabelnetz dieser auf einer anderen Frequenz liegen. Deshalb werden alle GRUNDIG DSR-Receiver mit einem Kabeltuner mit Konverter ausgeliefert.

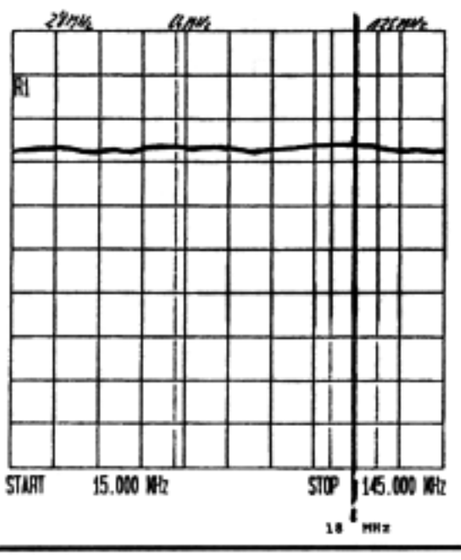
"Alte" Antennendose, gemessen an der Rundfunk-Buchse
"Old" aerial socket measured at the RF-Socket



"Alte" Antennendose, gemessen an der TV-Buchse
"Old" aerial socket measured at the TV-Socket



"Neue"Antennendose, gemessen an der Rundfunk-Buchse
"New" aerial socket measured at the RF-Socket



"Neue" Antennendose, gemessen an der TV-Buchse
"New" aerial socket measured at the TV-Socket

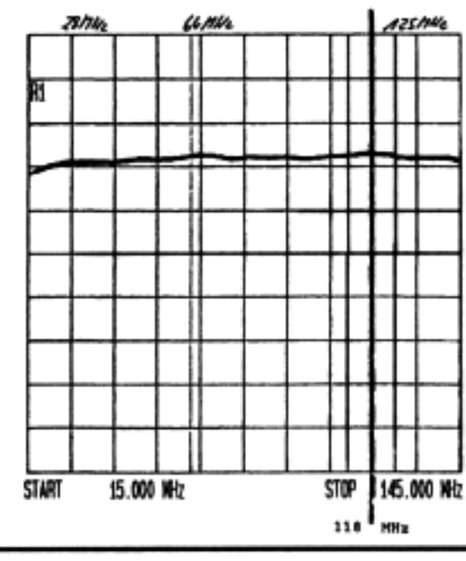


Bild 15: Durchlaßkurven von "alten" und "neuen" Dosen
Fig.: 15 Passing characteristics of "old" and "new" aerial sockets

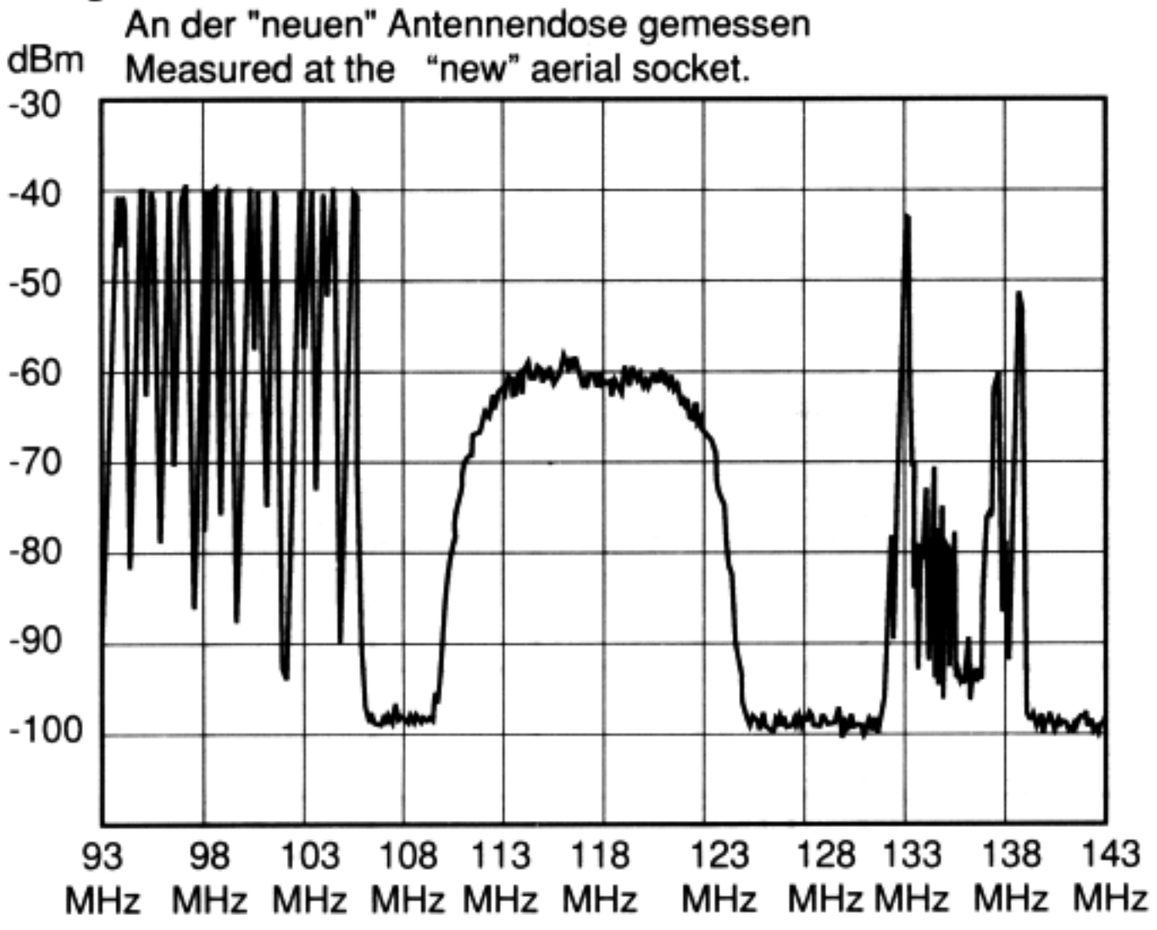
The difference in channels can be established from the table in the Operating Instruction Book and the DSR channel can now be easily calculated.

In the DSR-Receiver, the 480 MHz Signal is converted to 118 MHz. For operation in a cable installation a separate 118 MHz connection is available.
For connection in a Cable Network it is important that the radio aerial socket is replaced with a socket which does not include a TV Trap Filter. In the "Old" socket, the 118 MHz Band is strongly attenuated. The TV-Output socket will provide better reception performance.

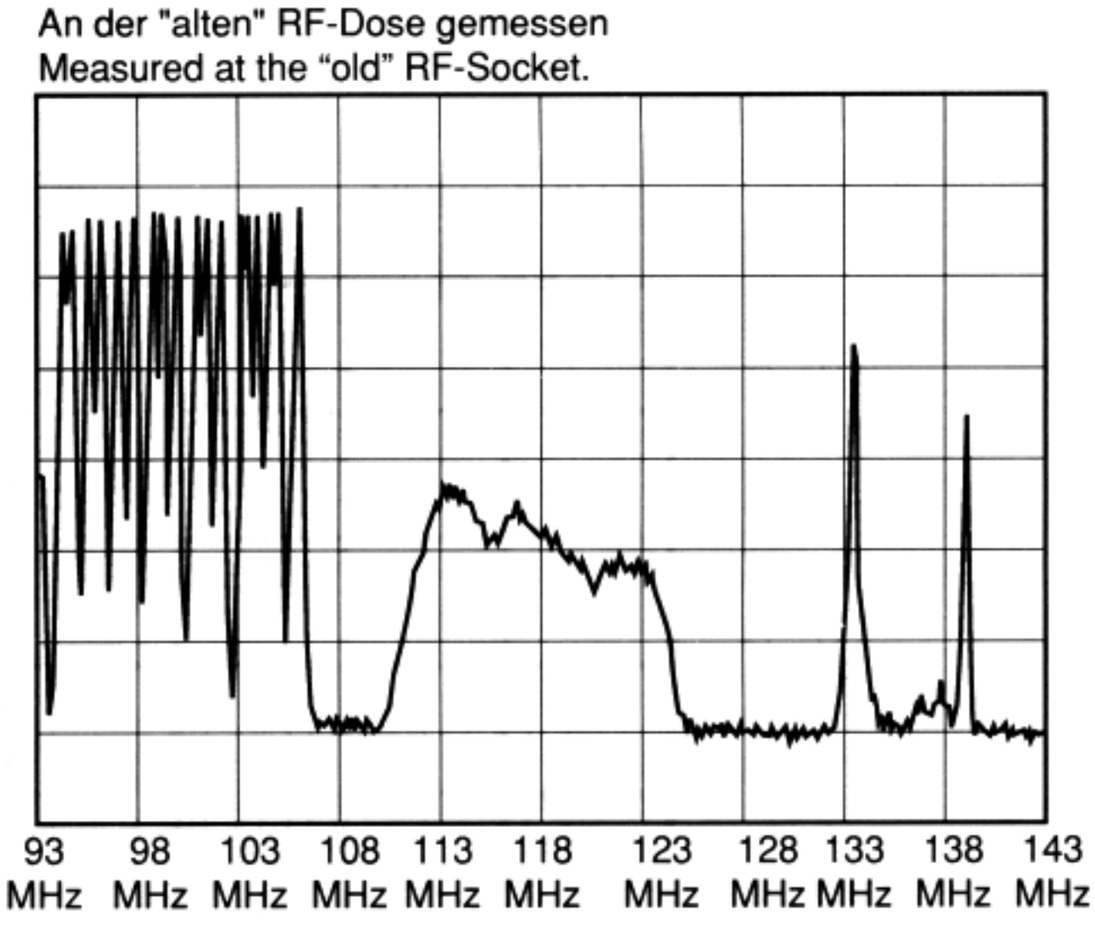
In the Cable installation, the frequency band from 118 MHz +/- 7 MHz is available for the DSR-Signal. This frequency band is however not available in all countries. In addition the DSR Channel may be converted to another frequency in the cable network. To allow for this all GRUNDIG DSR-Receivers are supplied with a cable tuner with a converter.

Pegelverhältnisse in der Kabelanlage Nürnberg an verschiedenen Dosen gemessen

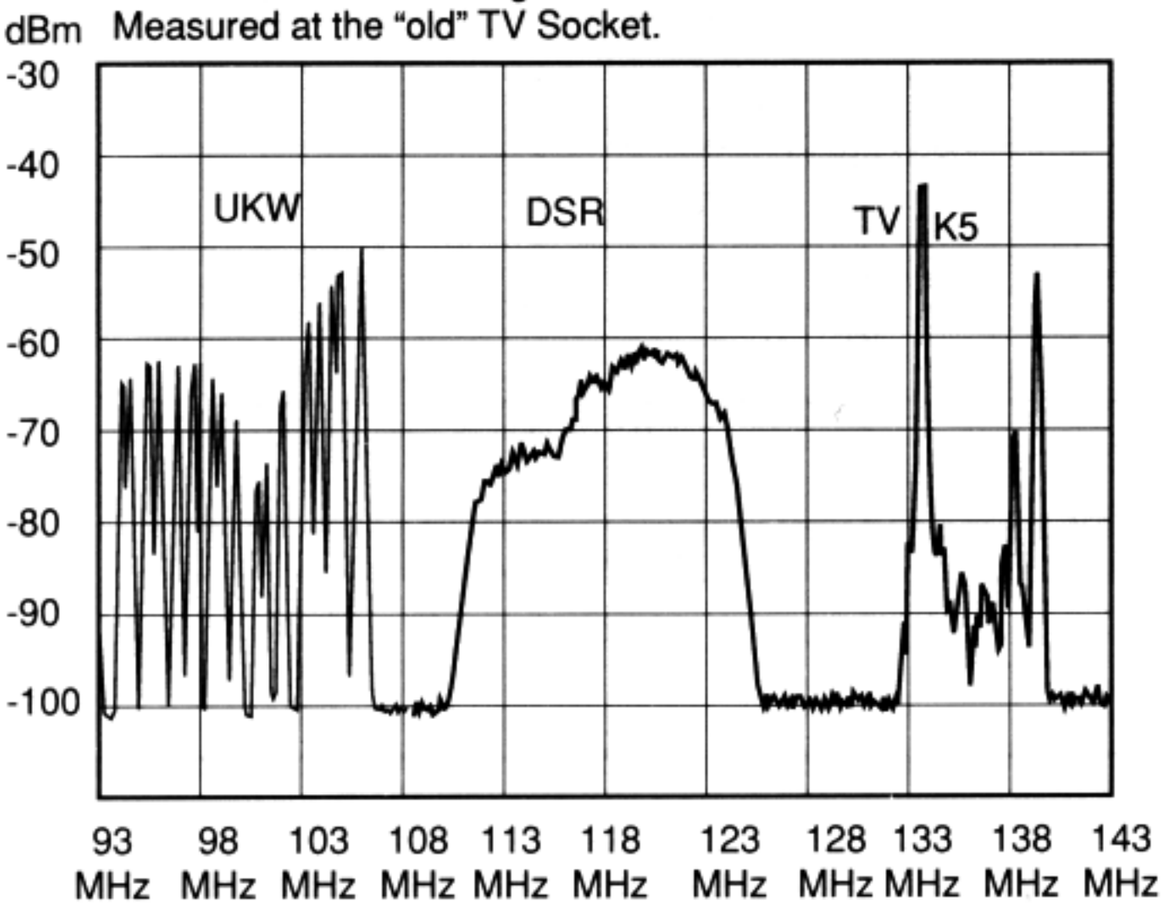
An der "neuen" Antennendose gemessen
Measured at the "new" aerial socket.



An der "alten" RF-Dose gemessen
Measured at the "old" RF-Socket.



An der "alten" TV-Dose gemessen
Measured at the "old" TV Socket.



Die drei Bilder zeigen den Frequenzgang der unterschiedlichen Antennendosen. Bei den "alten" Dosen ist eine deutliche Dachschräge zu erkennen. Ein DSR-Gerät würde an diesen Dosen nicht, oder mit sehr vielen Fehlern arbeiten.
Ist der Sonderkanal 4 in den Kabelanlagen benutzt, kann es bei hohen Pegeldifferenzen zum DSR-Signal zu Störungen kommen. Hier hilft ein Dämpfungsglied, das den Kanal 4 etwas abschwächt.

The three diagrams indicate the frequency response of the various aerial sockets. With the "Old" socket a very clear slope can be identified. A DSR-Receiver connected to the socket would not operate at all or will do so with many errors.
If the Special Channel 4 is used in the Cable Network, because of the larger difference in level when compared to the DSR-Signal, interferences can occur. An attenuator will provide a solution by reducing the level of Channel 4 by a small amount.

Dieser setzt die Eingangsfrequenz von 50 bis 855 MHz in 118 MHz um. Der Ausgang dieses Konverters muß dann mit der 118 MHz Buchse verbunden werden.

Über diesen durchstimmbaren Eingang soll das Gerät generell am Kabelnetz hängen. Hier hat man den Vorteil, daß durch den Kabeltuner die Eingangs-empfindlichkeit erhöht wird.

Tip!
Versuchen Sie bei Empfangsstörungen auch die ZF-Bandbreite des SAT-Receivers umzuschalten. Den besseren Wert speichern Sie ab.

Kapitel 5

Der DSR-Receiver an einer Kabelanlage

Bei Betrieb in Kabelanlagen liegt zur Zeit das DSR-Spektrum zwischen 111 und 125 MHz.

Das Bild 17 zeigt die Verteilung des Frequenzspektrums in der Kabelanlage Nürnberg. Hier kann man erkennen, daß das DSR-Signal keinen Träger wie das terrestrische Signal, sondern eine Art "Rauschkurve" besitzt.

Das vom Kabeltuner/Konverter kommende 118 MHz DSR-Spektrum wird in der DSR-Box über ein π–Filter L 5014 an Pin 11 des IC 5090 gegeben. Nach einen Trennverstärker im IC 5090, steht das Signal an Pin 8/9 an einem weiteren 118 MHz Filter (L 5089/L 5088). Die im IC 5090 integrierte Oszillatorstufe (362 MHz) ist dabei über eine Schaltspannung von 12 Volt an Pin 14 abgeschaltet.

Um eine konstante, vom 118 MHz Eingangspegel unabhängige, Amplitude am 118 MHz OFW (F 5111) zu erreichen, läuft das Signal über eine Regelstufe (Transistor CT 5083).
Der Regelumfang beträgt ca. 40 dB.

This converts input frequencies of 50 to 855 MHz to 118 MHz. The output of this converter must then be connected to the 118 MHz Socket.

The receiver must, in general, be connected via this tunable input to the cable network. Use of the cable tuner has an advantage in that the input sensitivity is increased.

Tip!
If reception with interferences is experienced, try switching the IF-Bandwidth of the SAT-Receiver over. Store the setting that produces the best performance.

Chapter 5

The DSR-Receiver in a Cable Installation

When operating in cable installations, at the present time, the DSR Spectrum lies between 111 and 125 MHz.

The frequency spectrum in the Nuremberg cable network has a distribution as shown in Figure 17. From the figure it can be seen that the DSR signal uses a carrier which is unlike the terrestrial signal, in fact looking like a "noise curve".

The 118 MHz Spectrum coming from the cable tnuer/converter into the DSR Box is fed via a π-filter L5014 to pin 11 of IC 5090. After a buffer amplifier in IC 5090, the signal is fed to pin 8/9 to a further 118 MHz filter (L 5089/L 5088). The integrated Oscillator stage (362 MHz) is switched off by the switching voltage of 12 volts on pin 14.

To obtain a constant amplitude at the 118 MHz SAW Filter (F5111) which is independent of the input level, the signal is fed through a gain controlled stage (transistor CT 5083).
Level Ratios in the Nuremburg Cable Installation measured at different Sockets.

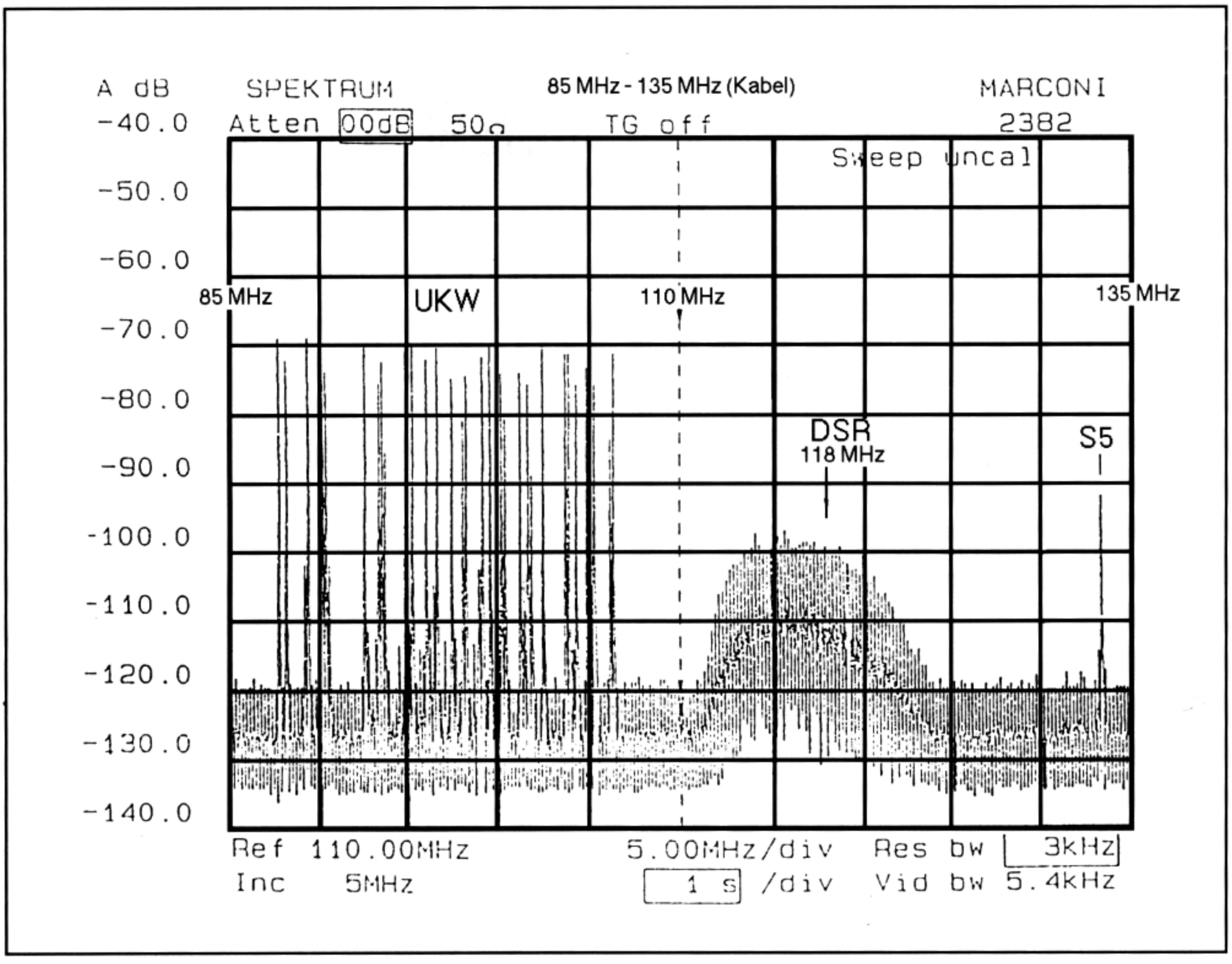


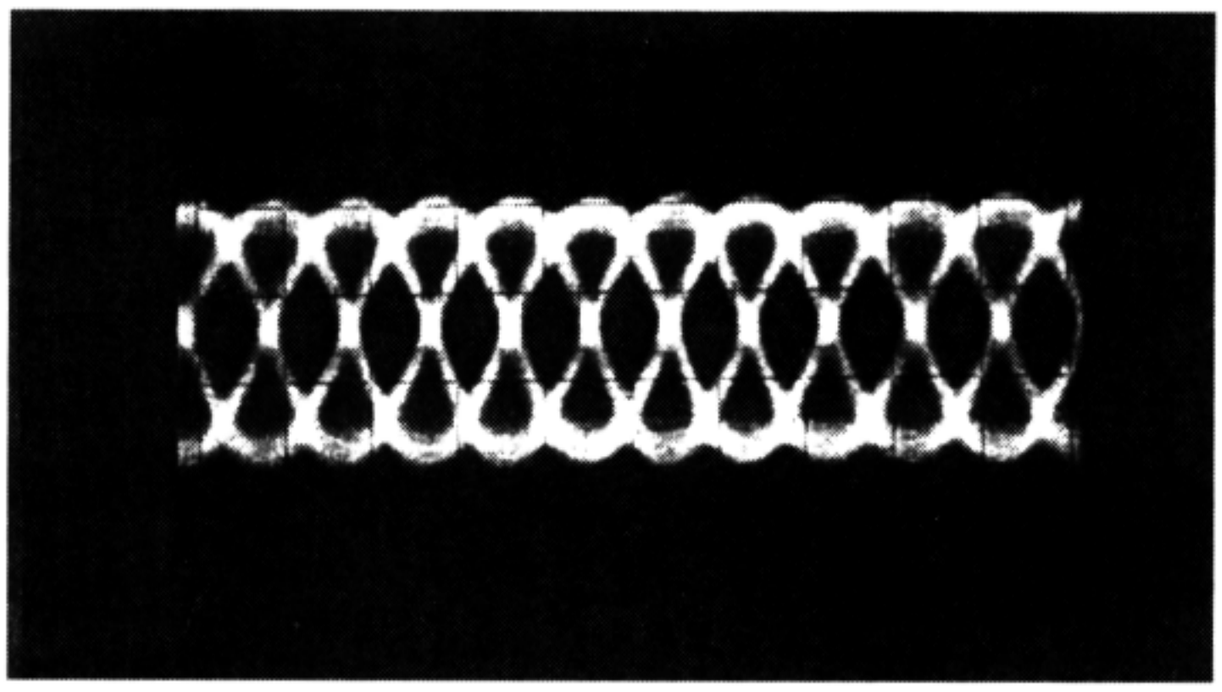
Bild17: Frequenzverteilung in der Kabelanlage Nürnberg
Fig 17: The frequency spectrum in the Nuremberg Cabel

Das Augendiagramm, gemessen an den Ausgängen der IC´s 5170 und 5180.

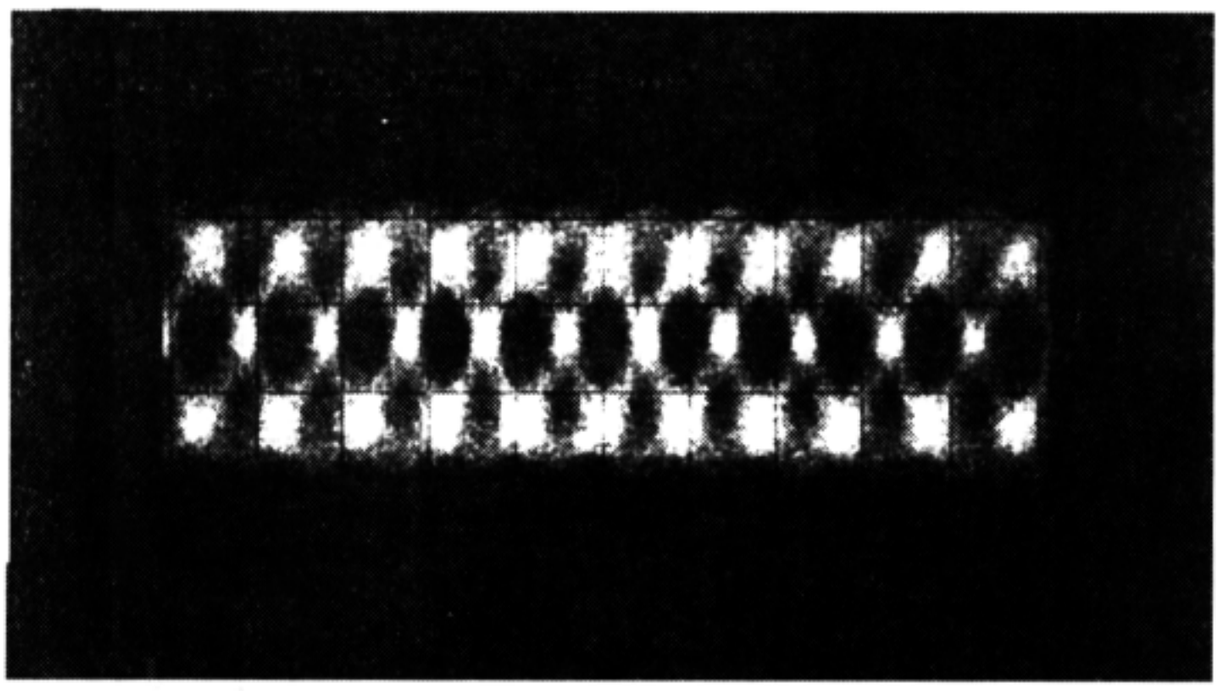
Die Amplitude beträgt ca. 3 Vss.

The Eye-Diagram, Measured at the Outputs of the IC 5170 and 5180.

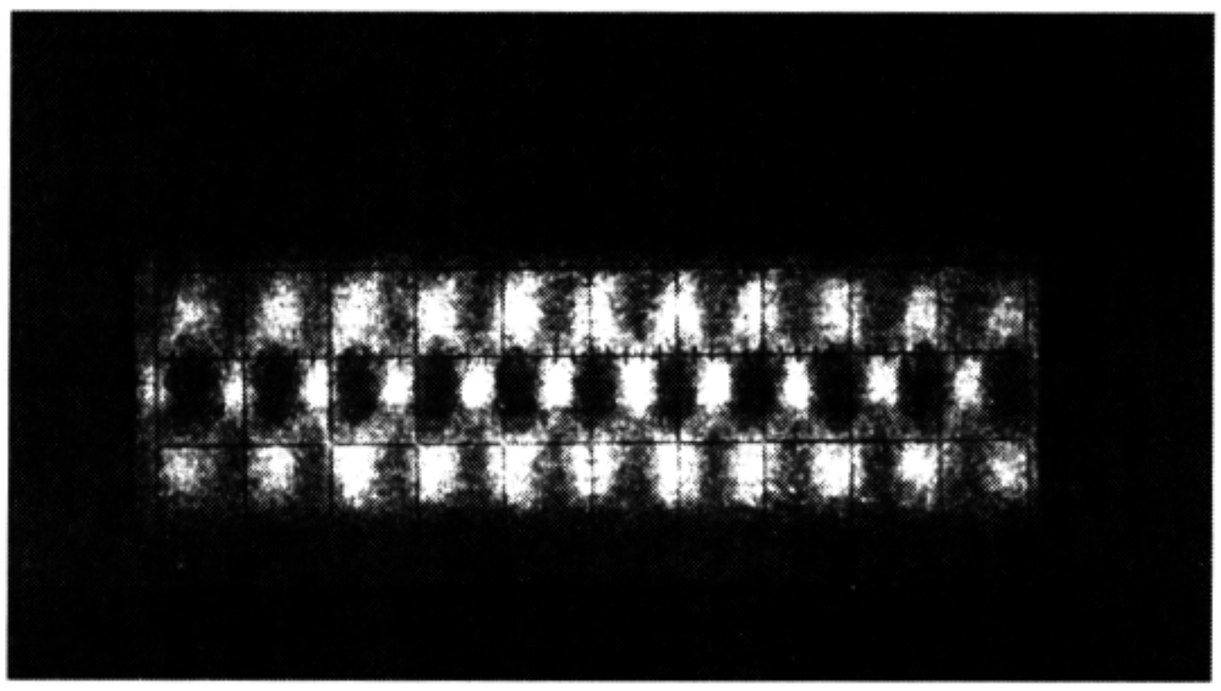
The amplitude is approximately 3 Vpp.



C / N > 16



C / N ca 7



C / N ca. 5

C/N =**C**arrier to **N**oise = Träger zu Rauschen

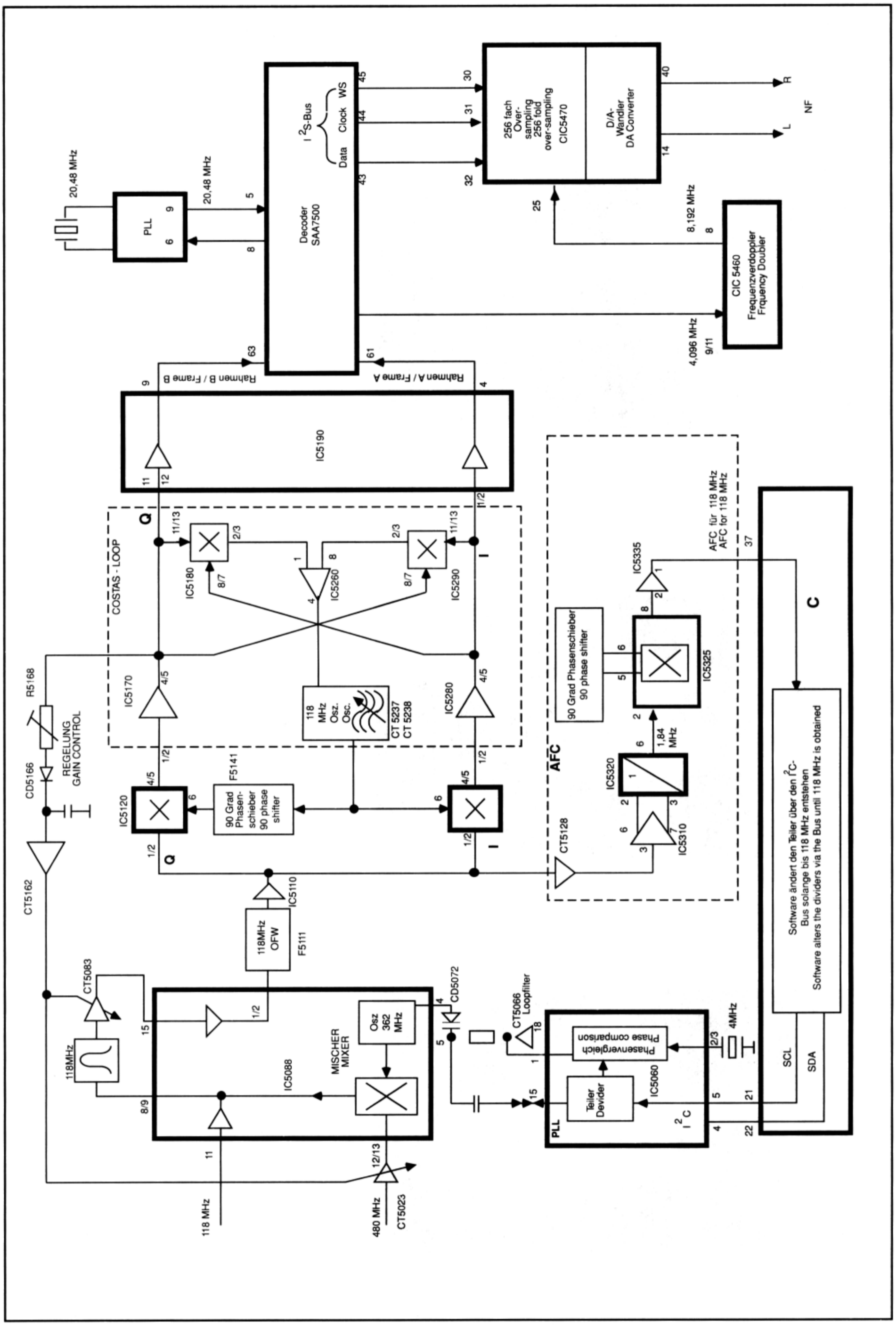


Bild18: Blockschaltbild der DSR-Box

Fig. 18: Block circuit diagram of a DSR Box

Die Regelspannung liegt ohne Eingangspegel bei ca. 7,8 Volt und bei 1mV Eingangsspannung am Kabeltuner bei ca. 4 Volt. Zur Regelspannungserzeugung verwendet man den Ausgang des 4 PSK-Demodulators (Pin 4 IC 5170). Der Spitzenwertgleichrichter CD 5166 liefert eine Richtspannung an den Transistor CT 5162. Bei hohem Eingangspegel sinkt dessen Kollektorspannung. Die Spannung am Gate G2 des 480 MHz Eingangstransistors CT 5023 und der Regelstufe CT 5083 nimmt ab. Die Verstärkung geht zurück.

Mit dem Regler R 5168 ist die Amplitude des demodulierten Q- und I-Signales (Augendiagramm) an Pin 4 des IC 5170 und an Pin 5 des IC 5280 auf 3 Vss einzustellen. Diese beiden Meßpunkte sind über Stifte auf der Bestückungsseite der Druckplatte zugänglich.

Das Ausgangssignal der Regelstufe CT 5083 läuft über einen weiteren Verstärker im IC 5090 Pin 15. Dieser Verstärker mit Gegentaktausgang (Pin 1/2) speist das Oberflächenwellen-Filter OFW 118 MHz an.

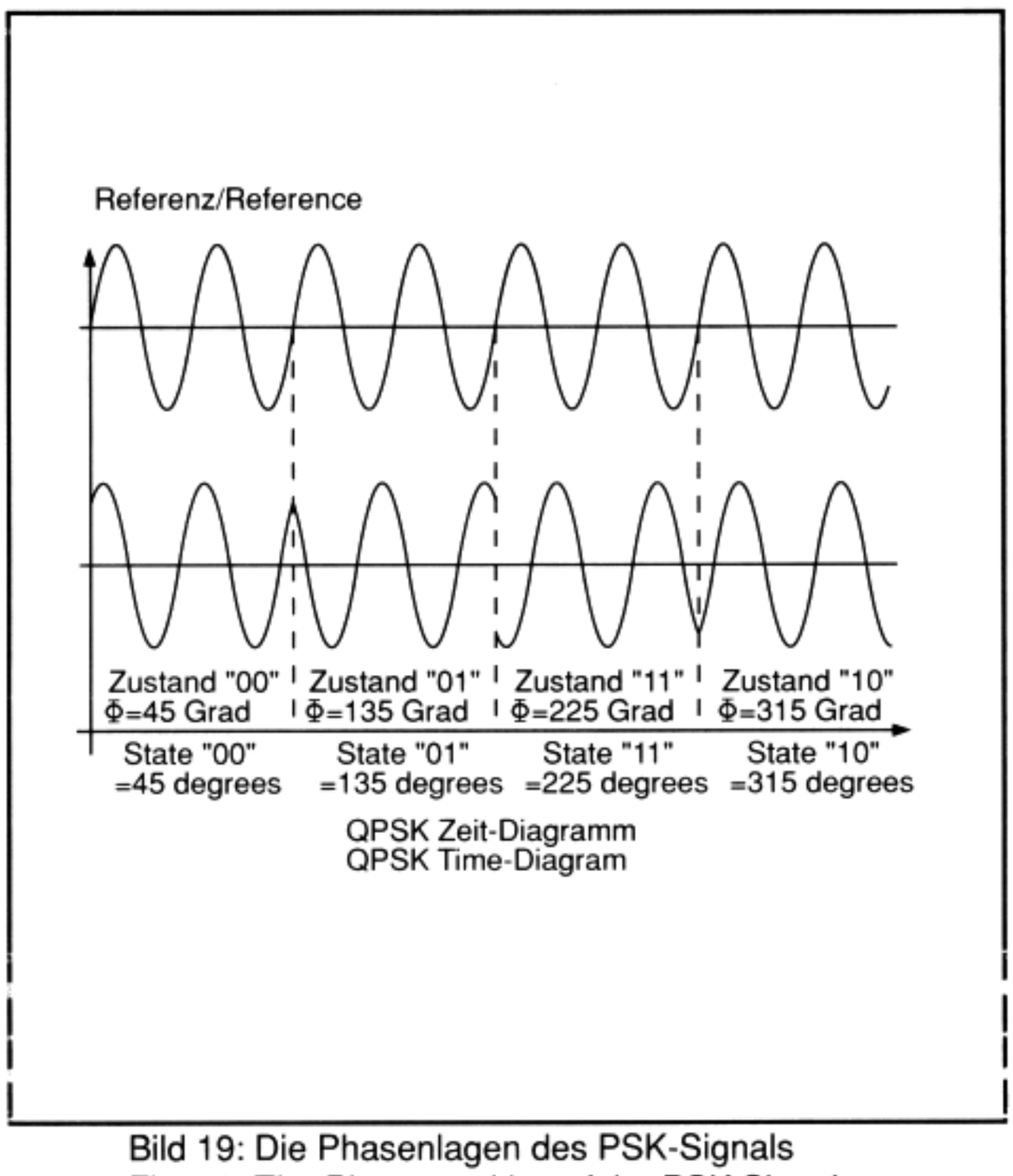


Bild 19: Die Phasenlagen des PSK-Signals
Fig. 19: The Phase position of the PSK Signal

Ein weiterer HF-Operationsverstärker (CIC 5110) ist nötig, um die hohe Eingangsdämpfung des OFW (ca. 20 dB) auszugleichen. Die symmetrischen Ausgänge dieses IC´s steuern über Entkopplungswiderstände die Eingänge des Q- Zweig Quadraturdemodulators (IC5120) und des I-Zweig Quadraturdemodulators (IC 5130) an.

Um dieses 4 PSK-modulierte Signal zu demodulieren, muß ein Träger mit konstanter Phase aus dem Datensignal gewonnen werden. Da sich die Phasenlage immer zwischen 45, 135, 225 und 315 Grad ändert, ist der Träger nicht durch ein Filter zu gewinnen. Auch eine Synchronisierung eines 118 MHz-Oszillators ist durch die Phasenumtastung nicht möglich.

Um eine Regelspannung, die einen 118 MHz Oszillator nachsteuert, zu erhalten, verwendet man dazu eine spezielle Schaltung. Diese Schaltung wird als Costas-Loop bezeichnet.

Zum Demodulieren muß der 118 MHz Oszillator exakt auf 0 Grad Phasenlage stehen. Weicht diese von der Nulllage ab, verschieben sich die modulierten Phasen zur Referenzphase. Der Demodulator liefert ein fehlerhaftes Signal.

Realisiert wird der 4 PSK-Demodulator (IC 5120 /5130) und die Costas-Loop (IC 5180/5290) durch 4 Quadraturdemodulatoren. Da sich der Hauptrahmen A und B zueinander in 90 Grad Phase stehen, ist auch der Referenzträger von 118 MHz einmal in 0 und 90 Grad zum Demodulieren nötig. Die Phasenverschiebung erreicht man durch die Spule F 5141.

Die demodulierten A- und B- Rahmen stehen über die Operationsverstärker IC 5170 und IC 5280 an Pin 1/2 und 11/12 des Comparators (IC 5190) an. Dieser liefert am Ausgang Pin 4 den Hauptrahmen A und am Pin 9 den Hauptrahmen B.

Die Costas-Loop

Die Costas-Loop hat die Aufgabe, aus den 4 PSK-modulierten Signal den Träger für den 4 PSK Demodulator zurück zu gewinnen. Das nachfolgende Bild zeigt die Grundstruktur der Costas-Loop.

Das 4-PSK Signal auf dem 118 MHz Träger läuft, vom OFW kommend, durch die beiden Quadraturdemodulatoren IC 5120 und IC 5130. Der Referenzträger von 118 MHz liefert der Oszillator CT 5237/5238. Das Datensignal für den Hauptrahmen A steht am Ausgang des Operationsverstärkers IC 5170. Für den Hauptrahmen B steht es am OP IC 5280. Die Phasenlage zwischen den beiden Hauptrahmen liegt bei richtiger Phasenlage des Referenzträgers bei 90 Grad.

The control range is approximately 40 dB. The control voltage is approximately 7.8 Volts without an input signal and approximately 4 volt with 1 mV input voltage to the Cable Tuner. For the generation of the control voltage, use is made of the output of the 4 PSK-Demodulator (pin 4 IC 5170). The peak value rectifier CD 5166 provides a bias voltage for the transistor CT 5162. With a high input level the collector voltage reduces. The voltage applied to Gate G2 of the 480 MHz input transistor CT 5083 and to the control stage CT 5083 reduces. The gain is reduced appropriately.

The amplitude of the Demodulated Q-and I-signals (Eye-Diagram) on Pin 4 IC 5170 and on Pin 5 of IC 5280 is adjusted to 3 Vpp with the control R 5168. These two measuring points are accessible on pins on the components side of the printed circuit.

The output signal of the gain controlled stage CT 5083 is fed via an additional amplifier in IC 5090 to pin 15. This amplifier with negative feedback output (pin 1/2) drives the surface acoustic wave filter OFW 118 MHz.

An additional HF-Operational amplifier (CIC 5110) is necessary to compensate for the high input attenuation of the SAW Filter (approx 20dB). The symmetrical output of this IC drives the input of the Q-Path Quadrature Demodulator (IC 5150) and the I Path Quadrature Demodulator (IC 5130) via a decoupling resistor.

To demodulate the 4-PSK-Signal, the carrier must be regained from the data signal at constant phase. Because the phase position is always changing between 45, 135, 225 and 315 degrees, the carrier cannot be regained by a filter. Also the synchronising of the 118 MHz Oscillator is not possible by phase sampling.

To obtain a control voltage to drive a 118 MHz Oscillator, use is made of a special circuit. This circuit is known as a COSTAS-LOOP.

For demodulation, the 118 MHz Oscillator must be exactly at 0 degrees phase position. If this deviates from the 0 position, this will alter the modulated phase from the reference phase. The demodulator will produce a corrupted signal.

The 4-PSK-modulator (IC 5120/5130) and the Costas-Loop (IC 5180/5290) is realised by 4 Quadature demodulators. Because there is a 90 degree phase difference between the Main Frames A and B, it is also necessary to have a reference carrier of 118 MHz at 0 degrees and at 90 degrees for demodulation. The phase shifting is achieved by the coil F 5141.

The demodulated A- and B-Frames are present at pin 1/2 and 11/12 of the Comparator (IC 5190) from the operational amplifiers IC 5170 and IC 5280. This provides the Main Frame A at the output pin 4 and the main frame B at pin 9.

The Costas-Loop

The Costas-loop has the task of recovering the carrier for the 4-PSK-Demodulator from the 4-PSK-Modulated Signal. The following diagram shows the basic structure of the Costas-Loop.

The 4-PSK Signal from the 118 MHz carrier, which comes from the SAW filter, is fed through two quadrature demodulators IC 5120 and IC 5130. The reference carrier of 118 MHz is produced by the Oscillator CT 5237/5238. The data signal for the Main Frame A is present at the output of the operational amplifier IC 5170. For the Main Frame B the data signal is present at the operational amplifier IC 5280. The phase position between the two Main Frames, when at the correct phase position of the reference carrier, is 90 degrees.

Stimmt die Phase zwischen dem Referenzoszillator und dem 4 PSK-Signal nicht überein, ändern sich auch die Phasen zwischen den Ausgängen der beiden Hauptrahmen.

Dieser Zustand erlaubt es, daß sich daraus eine Regelspannung für den Referenzoszillator ableiten läßt. Dazu polt man das Signal des Hauptrahmens A in Abhängigkeit der Phase des Hauptrahmens B um. Zur Signalumpolung verwendet man ebenfalls Quadraturdemodulatoren. Damit diese die beiden Eingangssignale nicht multiplizieren, wird das Schaltsignal mit einem so hohen Pegel eingespeist, daß dieser nur noch als Phasenumschalter wirkt. Dies wird durch die Ankopplung des Signals durch unterschiedlich große Widerstände 22 Ω und 820 Ω erreicht. Die 4 Transistoren die im IC 5180 an Pin 7 und 8 liegen sind in dieser Beschaltung als Umschalter zu betrachten.

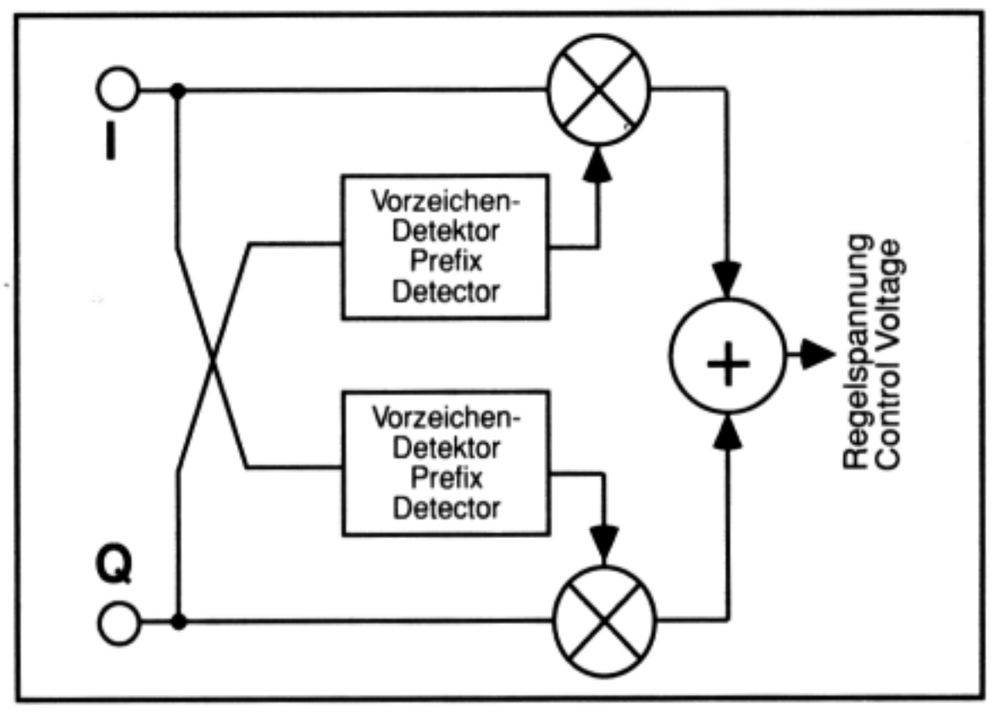


Bild 21: Blockschaltung der Costasloop
Figure 21: Block Circuit Diagram of the Costas-Loop

Die Augänge der beiden IC 5180 und 5290 an Pin 2 und 3 sind überkreuz miteinander verbunden. Bei exakter Frequenzlage heben sich die Spannungen auf. Bei Phasenabweichung ergibt sich eine proportional zum Phasenwikel stehende Spannungsdifferenz zwischen den Ausgängen. Der Differenzverstärker IC 5260 gibt diese Spannungsdifferenz an die Kapazitätsdioden CD5243 und CD5247. Der 118 MHz Oszillator wird nun in der Phasenlage solange verschoben, bis die Ausgangsspannungen an den Operationsverstärkern IC 5170 uncd IC 5280 exakt um 90 Grad verschoben sind.

Der Komparator IC 5190 setzt die Signale in TTL Pegel um. Der Ausgang Pin 4 liefert das Signal für den Hauptrahmen A, der Ausgang Pin 9 das Signal für den Hauptrahmen B.

If the phase between the reference oscillator and the 4-PSK-Signal does not agree, the phase between the outputs of the two Main Frames also alters.

This condition allows a control voltage for the reference oscillator to be obtained. For this the signal from the Main Frame A is altered in dependence of the phase of the Main Frame B. For signal reversal use is made of the quadrature demodulators. So that the two input signals are not multiplied, the switching signal is fed in at such a high level that these can only operate as phase switch over circuits. This is achieved by coupling the signals by different values of resistors-22 Ohm and 820 Ohm. The four transistors which are connected to pin 7 and 8 in IC 5810 should be considered as switches in the circuit.

The outputs of both IC 5180 and 5290 at pin 2 and 3 are cross coupled with each other. At an exact frequency position the voltages increase. With a phase deviation, they produce a proportional voltage according to the phase angle to produce a voltage difference between the outputs. The differential amplifier IC 5280 feeds the voltage difference to the capacitance Diodes CD 5423 and CD 5247. The 118 MHz Oscillator is driven so that its phase position is altered until the voltage at the operational amplifiers IC 5170 and IC 5280 are shifted by exactly 90 degrees.

The Comparator IC 5190 alters the signals to TTL level. The output pin 4 provides a signal for the Main Frame A and the output pin 9 the signal for the Main Frame B.

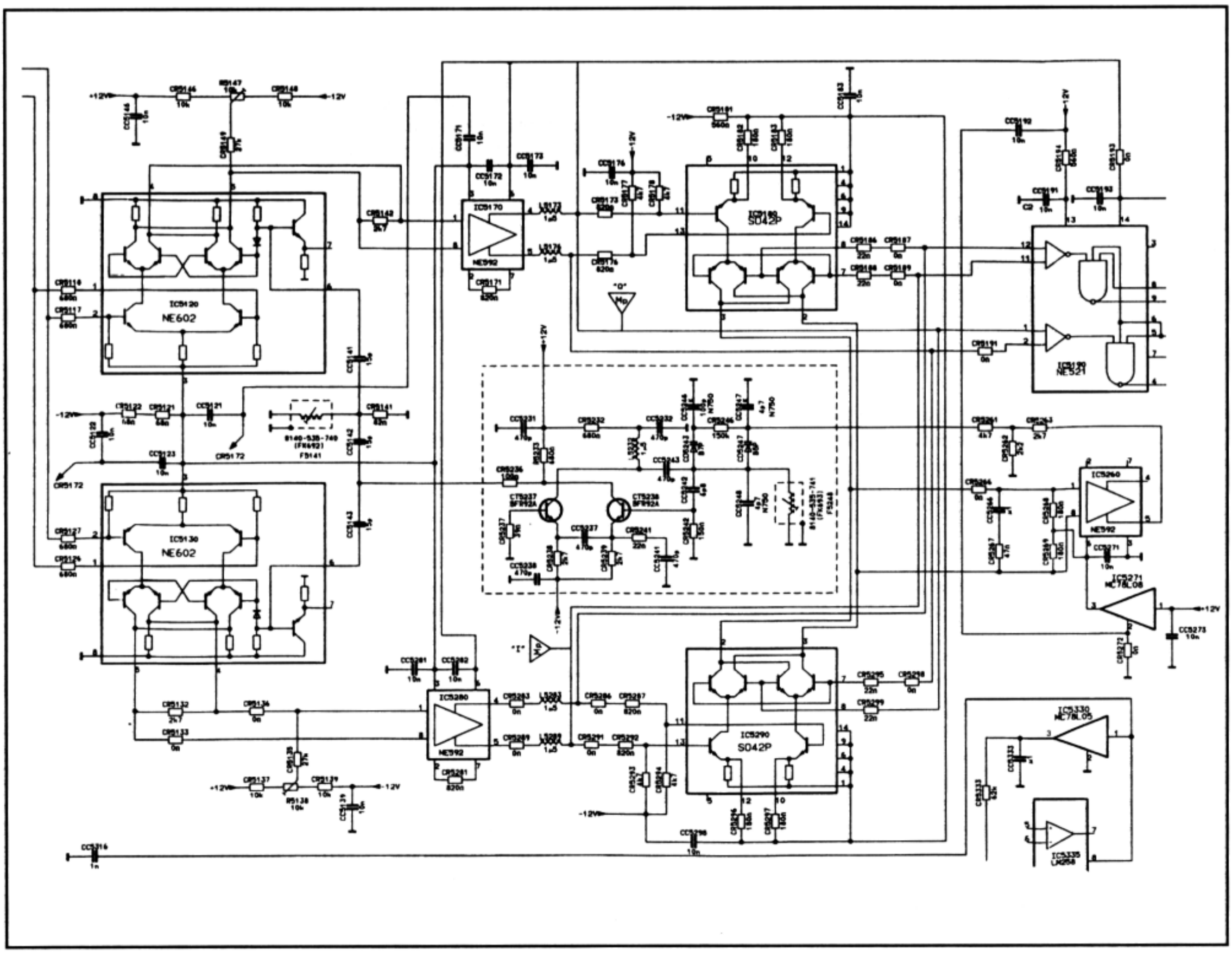


Bild 22: Die Costasloop im DSR 100

Figure 22: The Costas-Loop in the DSR 100

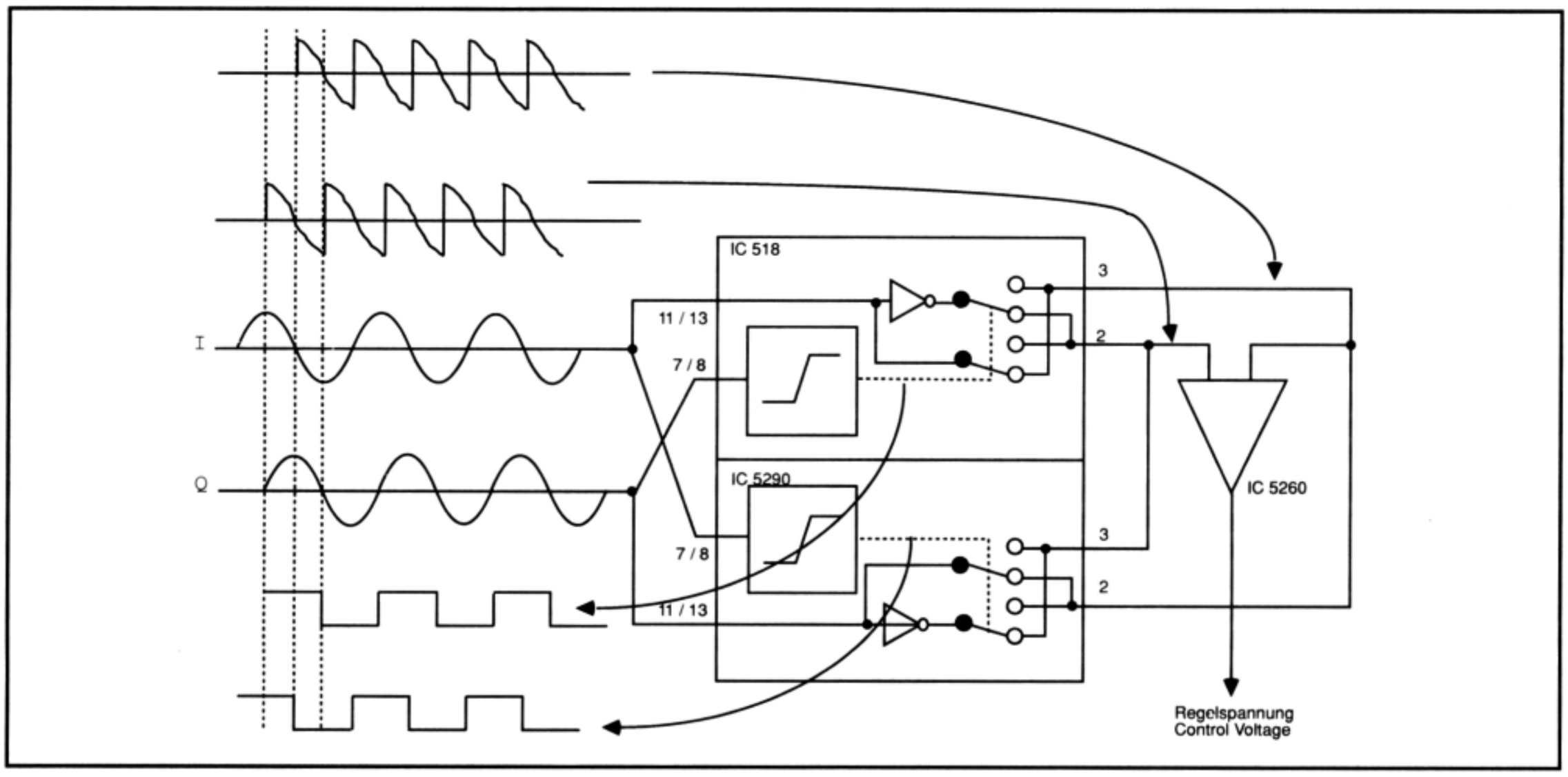


Bild 23:Erzeugung der Regelspannung für den 118 MHz Oszillator

Fig. 23: Generating the control voltage for the 118 MHz

Der Anschluß des DSR-Receiver an den DSR-Ausgang des TV-SAT-Receivers.

Wird ein DSR-Signal über einen TV-SAT-Receiver empfangen, so steht dieses, in 480 MHz umgesetzte Signal, an dem DSR-Ausgang zur weiteren Verarbeitung zur Verfügung (siehe auch Bild 16 und 18). Die 480 MHz stehen im DSR-Receiver über eine geregelte Vorstufe (CT 5023) an Pin 12/13 des IC 5090 an. Zur weiteren Verarbeitung ist dieses Signal in den demodulierbaren Frequenzbereich von 118 MHz umzusetzen. Dazu benötigt man einen Oszillator von 362 MHz und einen Mischer. Beide Komponenten sind im IC 5090. Der Oszillator wird durch den Transistor CT 5062 mit einem L-Pegel an Pin 14 gestartet. Der Mikrocomputer kann über den I²C-Bus und dem Ausgangsport des Synthesizers IC 5040 Pin 11 den Transistor ansteuern.
Über den I²C-Bus läd der Microcomputer den Teilerfaktor der PLL für die Frequenz von 362 MHz. An Pin 15 des Synthesizers wird die Frequenz durch einen programmierbaren Teiler heruntergeteilt. Diese Frequenz vergleicht man nun mit dem ebenfalls heruntergeteilten Referenzoszillator von 4 MHz an Pin 2 und 3. Bei einer Abweichung der beiden Frequenzen liefert der Phasenvergleich am Pin 18 ein pulsbreitenmoduliertes Signal. Dies wird durch einen aktiven Tiefpaß in eine Steuerspannung für die Kapazitätsdiode CD 5072 umgesetzt. Der aktive Tiefpaß besteht aus dem Ausgangsverstärker, dem CT 5066 und dem RC-Glied zwischen dem Kollektor und Pin 1 des IC 5040. Ab dem Mischerausgang (Pin 8/9) ist der Signalverlauf wie oben beschrieben.

Die Oszillatoren der LNCs schwingen auf ca. 11 GHz und können sich bis zu 3 MHz innerhalb des Temperaturbereiches verändern. Die AFC im TV-SAT-Receiver kann diese Frequenzänderung nur zum Teil ausgleichen. Da bei DSR sehr hohe Anforderungen an die Frequenzgenauigkeit gestellt werden, ist eine eigene AFC für den 480 MHz Eingang eingebaut.

Dazu koppelt man über den Transistor CT 5128 die 118 MHz am Ausgang des OFW ab. Ein weiterer Operationsverstärker CIC 5310 steuert einen Frequenzteiler IC 5330 an. Dieser teilt die 118 MHz durch 64. Am Ausgang Pin 6 steht eine Frequenz von 1.84375 MHz. Diese Frequenz steuert einen FM-Demodulator IC 5325 an. Dazu benötigt das IC einen 90 Grad Phasenschieber an Pin 5 und 6.

Der Ausgang Pin 8, liefert bei einer Frequenz von 118 MHz, am OFW eine Spannung von 4,2 Volt. Diese steht nach einem Tiefpaßfilter an Pin 2 des Operationsverstärker IC 5335 an. Am nichtinvertierenden Eingang steht eine Vergleichsspannung, die sich durch den Regler R 5338 einstellen läßt. Dieser Regler ist auf der Schmalseite der DSR-Box durch ein Loch zugänglich. Er wird so eingestellt, daß beim Ein- und Ausschalten der AFC keine Spannungsänderung am Pin 7 des Steckers SV2 entsteht. Bei Frequenzmitte liegt an diesem Steckerkontakt eine Spannung von 2,5 Volt.

The Connection of the DSR-Receiver to the DSR-Output of the TV-SAT-Receiver.

If a DSR-Signal is to be received by a TV-SAT-Receiver, this is present as a 480 MHz converted signal at the DSR-Output for further processing (see also Figure 16 and 18). The 480 MHz signal is applied, in the DSR-Receiver, via a gained controlled pre amplifier stage (CT 5023) to pins 12/13 of IC 5090. For further processing to a frequency band suitable for demodulation, the signal must be converted to 118 MHz. For this an oscillator at 362 MHz and a mixer are required. Both components are within IC 5090. The oscillator is started by the transistor CT 5062 with a low level to pin 14. The micro computer can control the transistor via the 12C-Bus and the Output port of the synthesizer IC 5040, pin 11.
The Micro computer loads the dividing factor for the PLL for the frequency of 362 MHz via the 12C - Bus. At Pin 15 of the Synthesizer the frequency is reduced by a programmable divider. This frequency is compared with the divided reference oscillator of 4 MHz to pins 2 and 3. With a deviation of both frequencies, the phase comparater produces on pin 18 a pulse-width modulated signal. This is converted by a active low pass circuit into a control voltage for the capacitance diode CD 5072. The active low pass filter consists of an output amplifier, the CT 5066 and a RC circuit between the collector and pin 1 of the IC 5040. At the output of the mixer (pins 8/9) the signal path is as described previously.

The oscillator in the LNC operates at approximately 11 GHz and can vary by up to 3 MHz within a certain temperature range. The AFC circuit in the TV-SAT-Receiver can only partially compensate for this frequency variation. Because DSR makes very high demands as far as frequency accuracy is concerned, a special AFC circuit for the 480 MHz input is built in.

For this the 118 MHz at the output of the SAW filter is connected via the transistor CT 5128. An additional operation amplifier IC 5310 drives a frequency divider IC 5330. This divides the 118 MHz by 64. At the output pin 6 there is a frequency of 1.84375 MHz. This frequency drives a FM demodulator IC 5325. The IC requires a 90 degree phase shifter on pins 5 and 6.

The output pin 8 provides a voltage of 4.2 volts with a frequency of 118 MHz at the SAW filter. This is present at pin 2 of the operational amplifier IC 5335 following the low pass filter. At the non-inverting input there is a voltage for comparison which is adjustable by the control R 5338. This control is accessible through a hole on the small side of the DSR box. This is adjusted so that when switching the AFC on and off, there is no voltage change on pin 7 of the connector SV2. At the mid frequency there is a voltage of 2.5 volts on this plug contact. The voltage is applied to the analogue input of the Micro computer IC 130, pin 37.

Diese Spannung liegt an dem Analogeingang des Microcomputers IC 130 Pin 37. Bei einer Spannungsänderung von 20 mV löst der µC über den I²C-Bus am Synthesizer IC 5040 eine Verstimmung von 62,5 kHz aus.

Bei einer Frequenzabweichung ändert der Mikrocomputer über den I²C-Bus den Teilerfaktor im Syntesizer IC 5040 solange, bis die AFC-Steuerspannung ihren Normwert von 2,5 Volt erreicht hat.

With each voltage change of 20 mV, the micro computer produces a detuning of 62.5 kHz via the I2C-Bus to the synthesizer IC 5040. With a frequency deviation the micro computer alters the dividing factor in the synthesizer IC 5040 via the I2C-Bus until the AFC control voltage reaches its normal value of 2.5 Volt.

Der RSR-Decoder SAA 7500 (Auszug aus dem VALVO-Datenblatt).

Funktionsbeschreibung des SAA 7500

Der SAA 7500 decodiert einen Kanal mit 16 digitalen Stereo- Rundfunksignalen, die nach dem Standard "Technische Richtlinie ARD/ ZDF Nr. 3RI" übertragen werden. Nach Dekodierung wird das gewünschte Stereoprogramm (für je ein Stereo- oder zwei Monoprogramme) in Form von linear quantisierten 16 bit-Audiosamples seriell und parallel für die externe D/A-Umsetzung ausgegeben.
Für die beiden Schaltungseingänge SWA und SWB muß das empfangene Signal zu zwei Basisbandsignalen (10,24 Mbit/s) aufbereitet werden. Dies geschieht in einem vorgeschalteten Tuner, in dem Selektion, Umsetzung und 4 PSK-Demodulation mit Trägerrückgewinnung ohne Differenzdekodierung enthalten sind.

Die Auswahl des Audiokanals (Programm), sowie die Betriebsarten Mono/Stereo werden durch Setzen von Adress- (PD, PC, PB und PA) und Modi- Eingängen (M1N und M2 N) bestimmt. Die Steuerung kann direkt mittels Schalter oder durch einen Mikrocomputer, der einen erheblich höheren Bedienungs- und Anzeigekomfort erlaubt, erfolgen.

Für eine µC-Steuerung gibt die Schaltung serielle Daten der Programmartkennung aller in Frage kommender 16 Stereo- oder bis zu 32 Mono-Programme aus (TUP, PAUP, und INTR). Die hierzu erforderliche Unterrahmensynchronisation wird alle 2 ms vom SAA 7500 und übergeordnet alle 16 ms vom µC vorgenommen. Eine weitere serielle Schnittstelle gibt die im PI-Code übertragenen Daten mit Takt- und Fenstersignal aus (PID, PIF und PITN).

The RSR-Decoder SAA 7500 (Extract from the VALVO-Data sheet).

Function Description of the SAA 7500.

The SAA 7500 decodes a channel with 16 Digital Stereo-Radio signals which are transmitted according to the standard "Technical specification ARD/ZDF Number 3 RI". After decoding the required stereo programme (one each for the stereo or two mono programmes) is fed out in the form of a linear quantizised 16 Bit-audio samples in serial and parallel for external D/A conversion.
For the two inputs SWA and SWB, the received signal must be processed as base band signals (10.24 MBit/s). This is achieved in a preceding tuner in which selection, conversion and 4-PSK-Demodulation with regeneration of the carrier without differential decoding is carried out.

The selection of the Audio Channel (Programme), as well as the Operating modes Mono/Stereo is obtained by setting the address, (PD, PC, PB and PA) and the Modi-inputs (M1 N and M2 N). The control can be obtained directly by a switch or by the micro computer to achieve unrivalled high quality control and indication.

For micro computer drive, the circuit produces serial data for programme mode ident for all possible 16 Stereo or up to 32 Mono Programmes (TUP, PAUP and INTR). The necessary Super-Super Frame Synchronisation is produced every 2 ms from the SAA 7500 and checked every 16 ms by the micro computer. An additional serial interface extracts the transmitted data with clock and window signals in the PI-Code (PID, PIF and PITN).

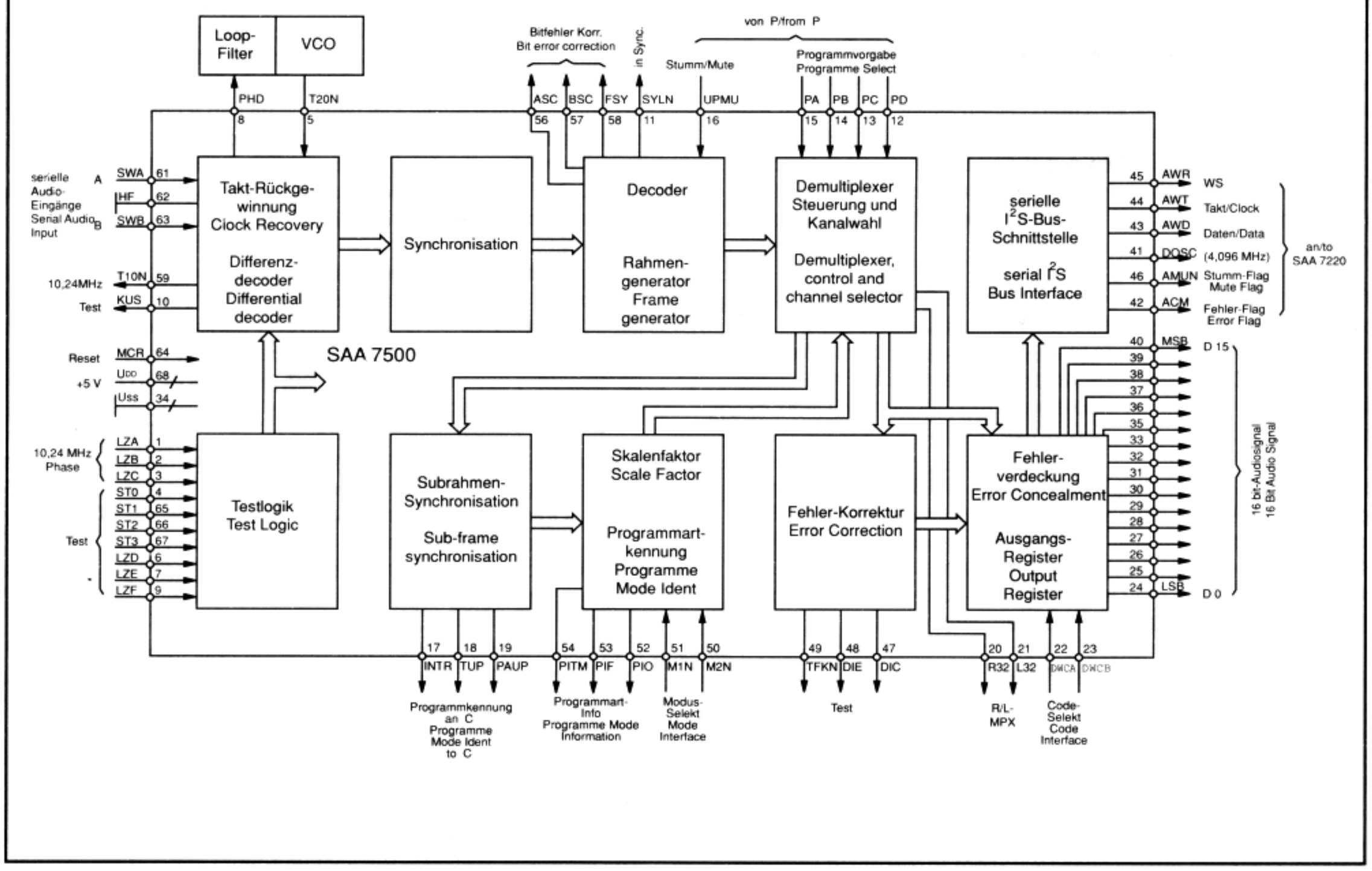


Bild 24: Blockschaltung des SAA 7500

Block circuit diagram of the SAA 7500

Der SAA 7500 führt bei auftretenden Übertragungs- (Bit-) Fehlern automatisch die dem System entsprechende Fehlerkorrektur und Fehlerverdeckung (Concealment) durch. Bei Fehlerraten bis zu 3*10-3 ergibt sich ein theoretischer C/N-Gewinn von 6 dB. Bei Fehlerraten < $3x10^{-4}$ ist die Restfehlerrate praktisch Null. Andere für einwandfreien Empfang notwendige Funktionen wie Taktrückgewinnung, Hauptrahmen-, Unterrahmen-Synchronisation und die Skalenfaktordekodierung sind ähnlich oder besser gesichert, bzw. für die Taktrückgewinnung durch entsprechende externe Beschaltung sicherbar. Damit tragen sie praktisch nichts zu einer möglicherweise verbleibenden Restfehlerrate bei.

Taktrückgewinnung

Für die Dekodierung und Weiterverarbeitung ist zu der in den Signalen SWA und SWB vorgegebenen Bitfolge ein synchroner Systemtakt erforderlich. Um sicherzustellen, daß in den Basisbandsignalen, unabhängig vom übertragenen Programminhalt, insbesondere bei Modulationspausen oder konstanten Signalen ausreichend Energieanteile mit der Taktfrequenz enthalten sind, werden die Bitströme mit Ausnahme der Synchronworte und der darauf folgenden Sonderdienstbits sendeseitig nach festgelegtem Muster verwürfelt (Scrambler).

Empfangsseitig werden in der Takt- Rückgewinnungsschaltung die Phasenlagen dieser kontinuierlichen Bitströme mit der Phasenlage der durch zwei geteilten Oszillatorfrequenz verglichen. Mögliche Abweichungen bewirken über das Phasenkorrektursignal PHD und einem Loopfilter die Nachregelung des 20,48 MHz Quarzoszillators (externe Beschaltung).

Der so gewonnene Systemtakt wird mit Hilfe eines Phasenschiebers, bezogen auf die den Eingängen SWA und SWB zugeführten Signale, phasenmäßig so abgeglichen (LZA, LZB, LZC), daß sich bei der nachfolgenden Abtastung die geringstmögliche Bitfehlerrate (BER) ergibt. Nach der Weiterverarbeitung im Differenzdekoder liegen zwei Bitströme in normalerweise richtiger Lage vor. Abhängig von der Anzahl der Mischstufen im Übertragungskanal können die Bitströme jedoch vertauscht sein. Zur Identifizierung dient das Synchronwort, das in beiden Bitströmen mit gegensätzlicher Polarität enthalten ist. Bei Inverslage des Spektrums wird automatisch eine Vertauschung vorgenommen.

Synchronisation

Die für den sicheren Betrieb des Empfängers entscheidende Synchronisation wird durch Prüfung und Auswertung der 11 bit langen Barker- Codewörter in den Datenströmen erreicht. Die hierzu eingebaute Detektorschaltung, die in beiden Worten zusammen zwei Fehler zuläßt, erkennt die Bitmuster und bestimmt damit wesentlich das Ausfallverhalten der Synchronisationsschaltung. Wird so ein Synchronwort erkannt, gibt die Schaltung intern einen Synchronimpuls ab, der zur sogenannten Fensterprüfung dient. Hierdurch erfolgt die Abfrage des Synchronimpulses des nächsten Hauptrahmens an der erwarteten Stelle (Fenster). Nach viermaligem aufeinanderfolgenden Ausfall gilt die Synchronisation als verloren und ein Mutesignal schaltet das NF- Ausgangssignal stumm. Gleichzeitig beginnt erneut die Suche nach Synchronworten.

Um unnötige Ausfälle der Wiedergabe bei noch akzeptablen Bitfehlerraten durch Synchronisationsverlust zu vermeiden, wird das Ergebnis der Fehlerkorrektur für die Abtastwerte mit in die Synchronisationsstrategie einbezogen. Eine einwandfreie Funktion ist bis zu Bitfehlerraten von ca. $3x10^{-3}$ gegeben.

Demultiplexer

Nach erfolgter Synchronisation ist der Rahmen anfang definiert und es kann auf jedes Bit des Rahmens gezielt zugegriffen werden. Es erfolgt die Auskopplung des nicht verwürfelten Sonderdienstbits des Teilrahmens A. Die übrigen Teile der beiden Halbrahmen werden der Rückverwürfelung (Descrambling) unterzogen und nach festgelegtem Muster entflochten. Damit wird jeder Halbrahmen-Bitstrom in zwei Teilströme von 5,12 Mbit/s aufgeteilt.

Gesteuert von der Synchronisationsschaltung und vom Programmwähler (extern über Anschlüsse PD ... PA) rastet der Demultiplexer auf den gewählten Programmblock ein und liefert alle notwendigen Steuersignale für die Weiterverarbeitung an nachfolgende Schaltungsteile.

The SAA 7500 carries out all system dependent error correction and error concealment automatically if any transmission errors (Bit) occur. With error rates up to 3x10-3 there is a theoretical C/N-Gain of 6dB. With error rates <3x10-4 the residual error rate is practically zero. Other important functions, for fault-free reception, such Clock Recovery, Main Frame-, Sub Frame-Synchronisation and Scale Factor Decoding are similarly or better protected by appropriate external circuits like, for example, Clock Recovery. Therefore nothing is added to the possible remaining residual Error Rate.

Clock Recovery

For the decoding and further processing a synchronised system clock is necessary for recovering the Bit stream in the signal SWA and SWB. To ensure that in the Base-Band signals, independently of the transmitted programme content and especially during modulation pauses or constant signals, that there are energy portions containing clock frequencies, the Bit current with the exception of the synchronising word and the following Special Service bits are scrambled in the transmitter side according to a fixed pattern (Scrambler).

In the receiver side, by clock regeneration, the phase position of this continuous Bit current is compared with the phase position of two divided oscillator frequencies. Possible deviations operate on the 20.48 MHz Quartz Oscillator (external circuit) by the use of a phase correction signal PHD and a loop filter.

The system clock recovered, with the aid of a phase shifter with reference to the inputs SWA and SWB is adjusted in phase (LZA, LZB, LZC) so that in the following sampling circuit the lowest possible Bit Error Rate is obtained (BER). After further processing in a differential decoder the two Bit currents are available in the correct position. Depending upon the number of mixing stages in the transmission channel the Bit current can however, be interchanged. For identification, Synchronising words which have opposite polarities in the two Bit currents are used. With an inverted position of the spectrums the result is an automatic exchange.

Synchronisation

For improved operation of the Receiver, the deciding mode of synchronisation is achieved by checking and evaluating the 11 Bit long Barker-Code words in the data currents. This is carried out by the built-in detector circuit which can allow two faults in both words, identifies the Bit pattern and determines the lock-out range of the synchronising circuit. If such a word is identified, the internal circuit produces a synchronising pulse which operates as a so called "Window check". This results in a check being made on the synchronising pulse in the next Main Frame which is presented to a fixed position (window). After several sequential failures, the synchronisation is lost and a mute signal attenuates the NF Output signal. Simultaneously, the search for a new synchronising word is commenced.

To prevent unnecessary failures of the reproduction with acceptable Bit error rates due to a loss of synchronisation, the result of the error correction for the sampling value is included in the synchronising strategy. A fault free function is produced up to a Bit error rate of approximately 3 x 10-3.

Demultiplexer

After synchronisation, the start of the Frame is identified and the identity of every Bit in the frame is carried out. The result is the extraction of the non scrambled Special Service Bits in the part Frame A. The remaining parts of both half Frames is taken into the descrambling circuit and sorted out according to a fixed pattern. Therefore each half frame Bit current is divided into two separate current paths of 5,12 Mbits.

Driven by the synchronising circuit (and from the programme selector) externally via the connections PD.....PA), the demultiplexer locks in to the selected programme block that provides all the necessary control signals for processing and passes them on to the following circuit stages.

Fehlerkorrektur

Die Fehlerkorrekturschaltung kann zwei Fehler in einem 63/44 BCH-Block korrigieren oder Blöcke mit bis zu fünf Fehlern sicher erkennen.

In einem ersten Schritt durchläuft die serielle Blockinformation einen Syndromrechner. Bei bis zu zwei Fehlern ergibt sich ein Ausgangssignal, das über eine Fehlerkorrekturmatrix die fehlerhaften Bits invertiert. Das so behandelte Signal wird dann einem zweiten Syndromrechner zugeführt. Waren mehr als zwei Fehler vorhanden, so erreicht einer der Rechner nicht den Endstand Null. In diesem Fall werden weitere Schaltungsteile veranlaßt, eine Fehlerverdeckung (Concealment) durchzuführen.

Hierbei wird der fehlerhafte Abtastwert durch den Mittelwert der direkt benachbarten (fehlerfreien) Abtastwerte (Interpolation) ersetzt. Sind mehrere aufeinanderfolgende Abtastwerte fehlerhaft, werden sie solange durch den letzten noch fehlerfreien Abtastwert ersetzt, bis wiederum ein einwandfreier Wert erscheint (Hold-Funktion). Bei zu hoher Fehlerrate wird durch Ausfall der Synchronisation die Mutefunktion wirksam.

Die Aktivierung der Fehlerverdeckung ist durch ein Flag (ACM) gekennzeichnet, welches, wie schon beschrieben, für die Synchronisation benutzt wird.

Skalenfaktor, Programmartauswertung und Schiebefunktion

Zur Rückführung der skaliert übertragenen Abtastwerte in den ursprüglichen Wertebereich muß der im Zusatzinformations-Rahmen (ZI) enthaltene Skalenfaktor dekodiert werden. Der Beginn des ZI-Rahmens ist an den des Sonderdienstbit-Rahmens gekoppelt, wobei für dessen Synchronisations-Sicherung die gleichen Grundsätze wie bei dem Hauptrahmen gelten. Die Synchronworterkennung und Fehlerprüfung ist für das alle 2 ms folgende Unterrahmen-Synchronwort in der Schaltung enthalten. Die Programmart-Auswertung einschließlich der übergeordneten Synchronisation ist einem Mikroprozessorsystem vorbehalten. Die hierzu erforderlichen Daten werden in Form von 8 bit-Blöcken über eine serielle Schnittselle (INTR, PAUP, TUP; Blockfolge = 4000/s) ausgegeben. Der gleiche Mikroprozessor kann auch die Auswahl des Programms über die betreffenden Steuereingänge der Schaltung (PD...PA) übernehmen.

Bei der Dekodierung der dreifach übertragenen Skalenfaktor BCH- (14/6) Codeworte erfolgt zunächst eine bitweise Mehrheitsentscheidung. Danach folgen Fehleranalyse und -korrektur von max. zwei Fehlern.

Am Eingang des Schaltungsteils für die Fehlerverdeckung werden die korrigierten 11 Bits des Abtastwertes (MSB) mit den 3 ungeschützt übertragenen Bits (LSB) zusammengefaßt. Der Skalenfaktor bestimmt die Anzahl der erforderlichen Leerstellen, die zussätzlich zwischen dem MSB (Vorzeichenbit) und den ursprünglichen Bits eingefügt werden müssen. Die Leerstellen werden bei der Schiebeaktion zugleich entsprechend dem Vorzeichenbit mit Nullen oder Einsern aufgefüllt. Die höchstwertigen 16 Bit bilden den regenerierten Abtastwert. Hierdurch werden etwaige, durch Restfehler bedingte Störimpulse in der Amplitude auf den Amplitudenwert des gerade übertragenen Tonsignals begrenzt.

Ansteuerung der D/A-Umsetzung, Schnittstellen

Der SAA 7500 ist so ausgelegt, daß verschiedene D/A-Wandler-Konzepte angewendet werden können. Hierzu sind eine serielle wie auch eine parallele Schnittstelle vorhanden.

Die serielle Schnittstelle (I2S) gestattet ein D/A- Wandlerkonzept mit Oversampling-Verfahren und digitalem Filter. Hierfür eignen sich besonders die Schaltungen SAA 7220 und TDA 1541A. Der SM 7220 liefert an seinem Anschluß DOBM ein digitales Audiosignal für Consumer-Anwendungen nach IECVorschlag Nr. 84. Die Ausgangssignale der seriellen Schnittstelle sind Bit-Clock (AWT), Word-Select (AWR) und Audio-Data (AWD). Weiterhin besteht die Möglichkeit einer erweiterten Fehlerverdeckung über das Signal ACM (Interpolation über mehrere Abtastwerte im SAA 7220), sowie der Stummsteuerung mittels AMUN. Die Taktfrequenz von 8,192 MHz für den SAA 7220 wird durch einen externen Teiler aus der Oszillatorfrequenz 20,48 MHz (T20N) gewonnen.
Für parallele Wandlersysteme steht ein 16 Bit-Audioausgang (D15... DO) zur Verfügung. An den Signalausgängen L32 und R32 liegt die Multiplexinformation für Links/Rechts vor. Über DWCA und DWCB sind Codierung und Polarität wählbar.

Error Correction

The error correction circuit can identify and correct two faults 28- in one 63/44 BCH-Blocks or Blocks with up to five errors.

In the first stage the serial block information is fed in serial to a Syndrome computer. With up to two faults, an output signal will cause the incorrect Bits to be inverted via a fault correction matrix. The signal processed in this way is then fed to a second Syndrome computer. If more than two faults are present, one of the computers will not reach its zero state. In this case additional circuit stages are activated so that concealment is introduced.

For this the corrupted sampling value is replaced with an average value of the directly neighbouring (fault free) sampled values (interpolation). If multiple sequential sampled values are corrupted, the last error free sampling value is inserted until
a fault free value is obtained (Hold-Function). With a very high error rate a Mute function is activated due to the failure of the synchronising circuit.

The activation of Concealment is signalled by a Flag (ACM) which, has already been described, is used for the synchronisation.

Scale Factor, Programme Mode Evaluation and Shift Function

To recover the scaled sampling value transmitted and convert them to the original range of values, the Scale Factor contained in the Additional Information-Frame (ZI) must be decoded. The beginning of the ZI-Frame is combined with the Special service Bit-Frames in which the Synchronisation Protection follows the same principle as in the Main Frame. The Synchronising Word Ident and Error Check circuits for the 2 ms sub-Synchronising Word are built into the integrated Circuit. The Programme Mode Evaluation including the Synchronising functions is carried out by the Micro Processor System. The required data is fed out in the form of 8 Bit Blocks on a Serial Interface (INTR, PAUP, TUP; Block Sequence=4000/s). The same Micro Processor can also carry out the selection of the programmes via the appropriate Control Inputs of the circuit (PD....PA).

For decoding, the three fold transmitted Scale Factor BCH-(14/6) Code words are obtained following processing in Bit sequence by Multiple Decision Making. There after Error Analysis and Correction of up to two errors maximum is carried out.

At the input of the circuit stage for the Error Concealment, the corrected 11 Bits of the Sampling Values (MSB) are combined with the 3 unprotected transmitted Bits (LSB). The Scale Factor is the number of the requisite positions, which must be inserted between the original Bits and the MSB (Prefix Bit). The free spaces are filled in, by the Shift action corresponding to the Prefix Bit, with zeros or with ones. The highest value 16 Bit forms the regenerated Sampling Value. Here there is a possibility of residual errors causing interfering pulses and to limit these to the amplitude value of the previously transmitted sound signals.

Drive Of The D/A-Conversion, Interface

The SAA 7500 is designed so that various D/A-Converter concepts can be used. To achieve this a serial as well as a parallel Interface is built in.

The Serial Interface (I2S) matches a D/A-Converter concept with Over-Sampling processing and digital filters. For this special circuits such as the SAA 7220 and TDA 1541A are particularly suitable. The SM 7220 provides, at its connection DOBM, a digital Audio signal for Consumer Applications according to IEC-Recommendations Nr.84. The output signals from the Serial Interface are Bit-Clock (AWT), Word-Select (AWR) and Audio-Data (AWD). In addition there is the possibility of expanding the Error Concealment with the signal ACM (Interpolation by several Sampling Values in SAA 7220), as well as Muting Control with the AMUN. The Clock frequency of 8.192 MHz for the SAA 7200 is obtained by the use of an external divider from the Oscillator frequency of 20.48 MHz (T20N).

For parallel Converter systems a 16 Bit-Audio output (D15...D0) is available. At the signal outputs L32 and R32 the multiplexed information for left/right are available. The coding and polarity is selectable by DWCA and DWCB.

Die Schaltung koppelt außerdem über die PI-Schnittstelle (PID, PITN, PIFN) Programmbegleitinformationen und den Skalenfaktor aus.

Eine weitere Schnittstelle (ASC, BSC, FSY, TION) hinter dem Differenzdekoder eignet sich für Bitfehlermessungen, sowie für die optimale Einstellung der Taktphasenlage.

The circuit also couples out the Programme Accompanying Information and the Scale Factor on the PI-Interface (PID, PITN, PIFN).

An additional Interface (ASC, BSC, FSY, TION) following the Differential Decoder is suitable for Bit Error measurements as well as for setting the optimum condition for Clock Phase Position.

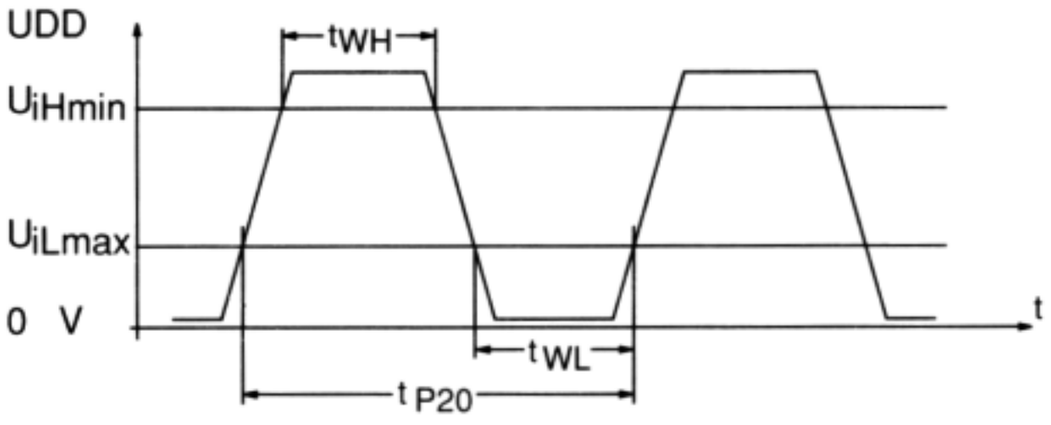
Die Pinbelegung des SAA 7500

The Pin Allocations of the SAA 7500

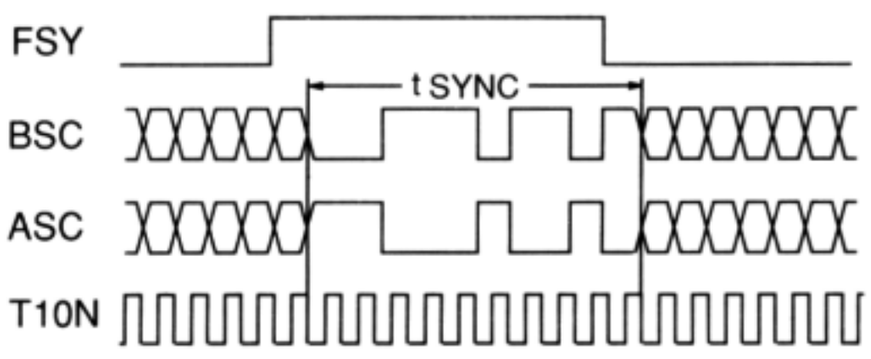
Anschluß Connection	Signal Signal	Ein-/Ausgang In/Output	Funktion Function
1	LZA	E3	Phasenkorrekturbits für 10,24 MHz-Takt/Phase Correction Bits for 10.24 MHz-Clock
2	LZB	E3	Phasenkorrekturbits für 10,24 MHz-Takt/Phase Correction Bits for 10.24 MHz-Clock
3	LZC	E3	Phasenkorrekturbits für 10,24 MHz-Takt/Phase Correction Bits for 10.24 MHz-Clock
4	STO	E3	Test-Setzeingang/Test Setting Input
5	T20N	E1	20,48 MHz-Takteingang (Takt vom VCO)/20.48 MHz Clock Input (Clock from VCO)
6	LZD	E3	Test-Setzeingang/Test Setting Input
7	LZE	E3	Test-Setzeingang/Test Setting Input
8	PHD	A	Phasenkorrektursignal für 20,48 MHz-VCO/Phase Correction Signal for 20.48 MHz-VCO
9	LZF	E3	Test-Setzeingang/Test Setting Input
10	KUS	A	Testausgang für interne SWA/SWB-Vertauschung/Test Output for Internal SWA/SWBExchange
11	SYLN	A	Sync-Flag
12	PD	E2 MSB	4-Bit-Programmwahl/4-Bit Programme Selection
13	PC	E2	4-Bit-Programmwahl/4-Bit Programme Selection
14	PB	E2	4-Bit-Programmwahl/4-Bit Programme Selection
15	PA	E2 LSB	4-Bit-Programmwahl/4-Bit Programme Selection
16	UPMU	E2	Stumm-Setzeingang (Stumm vom µC)Muting Setting Input (Mute from Micro Computer)
17	INTR	A	Interrupt-Flag an µC/Interrupt Flag to Micro Comp.
18	TUP	A	Takt Programmart/Clock
19	PAUP	A	Daten Programmart/Data Programme Mode
20	R32	A	Rechts-Multiplexsignal für 16 bit-Audioausgang/Right Multiplex Signal for 16 Bit Audio Output.
21	L32	A	Links-Multiplexsignal für 16 bit-Audioausgang/Left Multiplex Signal for 16 Bit Audio Output.
22	DWCA	E3	Setzen der Codeart für 16 bit-Audioausgang/Setting for Code Mode for 16 Bit Audio Output
23	DWCB	E3	Setzen der Codeart für 16 bit-Audioausgang/Setting for Code Mode for 16 Bit Audio Output
24	D0	A LSB	16 bit-Audioausgang (Parallelausgang)/16 Bit Audio Output (Parallel Output)
25…33	D1…D9	A	16 bit-Audioausgang (Parallelausgang)/16 Bit Audio Output (Parallel Output)
34	USS	Masse	16 bit-Audioausgang (Parallelausgang)/16 Bit Audio Output (Parallel Output)
35…39	D10…D14	A	16 bit-Audioausgang (Parallelausgang)/16 Bit Audio Output (Parallel Output)
40	D15	A MSB	16 bit-Audioausgang (Parallelausgang)/16 Bit Audio Output (Parallel Output)
41	OOSC	A	4,096 MHz-Taktausgang/4.096 MHz-Clock Output
42	ACM	A	Flag für Fehlerverdeckung/Flag for Error Concealment
43	AWD	A	Daten / serieller Audioausgang (I2S) -> SAA 7220/Data/Serial Audio Output (I2S) to SAA 7220
44	AWT	A	Takt / serieller Audioausgang (I2S) -> SAA 7220/Clock/Serial Audio Output (I2S) to SAA 7220
45	AWR	A	Wort-Select / serieller Audioausgang (I2S) -> SAA 7220/Word Select/Serial Audio Output (I2S) to SAA 7220
46	AMUN	A	Stumm-Flag an SAA 7220/Mute Flag to SAA 7220
47	DIC	A	Daten / Testausgang/Data /Test Output
48	DIE	A	Daten / Testausgang/Data Test Output
49	TFKN	A	Taktburst / Testausgang/Clock Burst Test Output
50	M2N	E2	Mono/Stereo-Betriebsart-Setzeingang/Mono/Stereo Operating Mode Setting Input
51	M1N	E2	Mono/Stereo-Betriebsart-Setzeingang
52	PID	A	Daten/Programmart-Info und Skalenfaktorausgabe/Data Programme Mode-Info and Scale Factor Output
53	PIF	A	Fenster / Programmart-Info und Skalenfaktorausgabe/Window Programme Mode-Info and Scale Factor Output
54	PITN	A	32 kHz-Takt / Programmart-Info und Skalenfaktorausgabe/32kHz-Clock Programme Mode-Info and Scale Factor Output
55	frei		
56	ASC	A	Daten / 10,24 MHz-Schnittstelle zur Bitfehlerprüfung/Data 10.24MHz-Interface for Bit Error Check
57	BSC	A	Daten / 10,24 MHz-Schnittstelle zur Bitfehlerprüfung/Data 10.24MHz-Interface for Bit Error Check
58	FSY	A	Fenster/10,24 MHz-Schnittstelle zur Bitfehlerprüfung/Window 10.24MHz-Interf. for Bit Error Check
59	T10N	A	Takt / 10,24 MHz-Schnittstelle zur Bitfehlerprüfung/Clock 10.24MHz-Interface for Bit Error Check
60	frei		
61	SWA	E2	Eingang A / für serielles Audiosignal/Input A for serial Audio signal
62	USS	-	Masse (0V) / für serielles Audiosignal/Chassis (0V) for serial Audio signal
63	SWB	E2	Eingang B / für serielles Audiosignal/Input B for serial Audio signal
64	MCR	E1	Masterreset-Eingang/Master Reset Input
65	ST1	E3	Test-Setzeingang/Test Setting Input
66	ST2	E3	Test-Setzeingang/Test Setting Input
67	ST3	E3	Test-Setzeingang und Modus für 10,24 MHz-Schnittst./Test Setting Input and Mode for 10.24 MHz Interface
68	UDD	-	+5 V-Speisespannung/+5V-Supply Voltage

Nomenklatur/Legend:
E1 = Eingang für CMOS-Pegel/ Input for CMOS-Level
E2 = Eingang für TTL-Pegel/ Input for TTL -Level

Diagramme für den SAA 7500

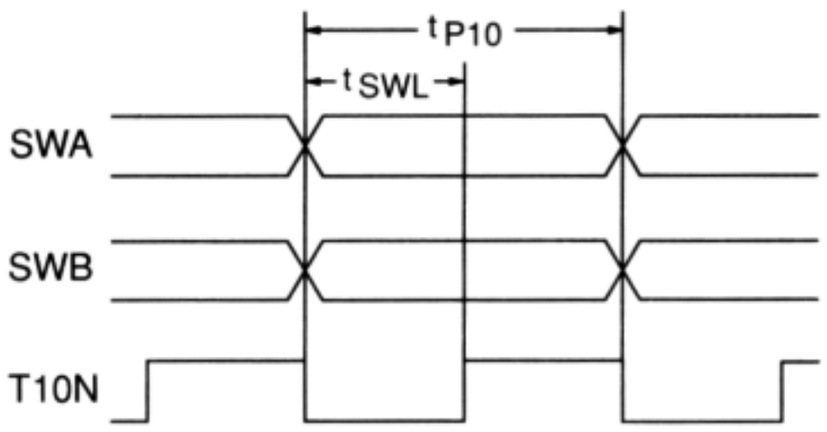


20,48 MHz-Takt am Eingang T20N
20.48MHz-Clock at the Input T20N



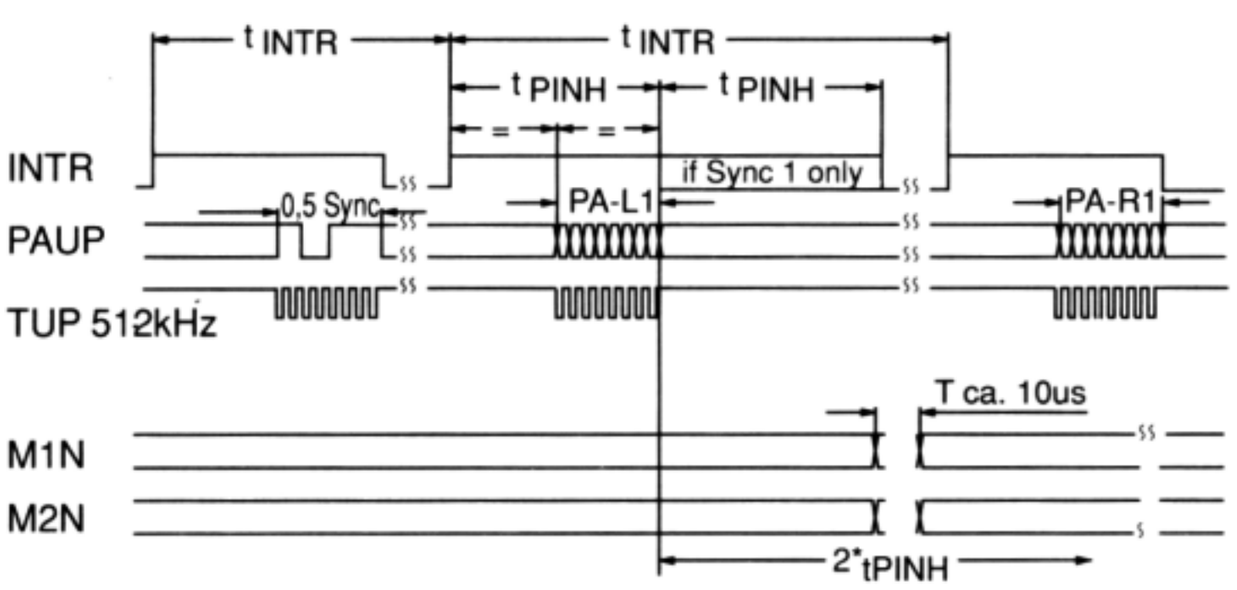
Ausgangssignal für 10,24 MHz-Schnittstelle zur Bitfehlerprüfung

Output signals for 20.24 MHz -Interface for Bit Error Check



Eingangsdaten SWA und SWB, Übernahme durch H/L-Flanke von T10N

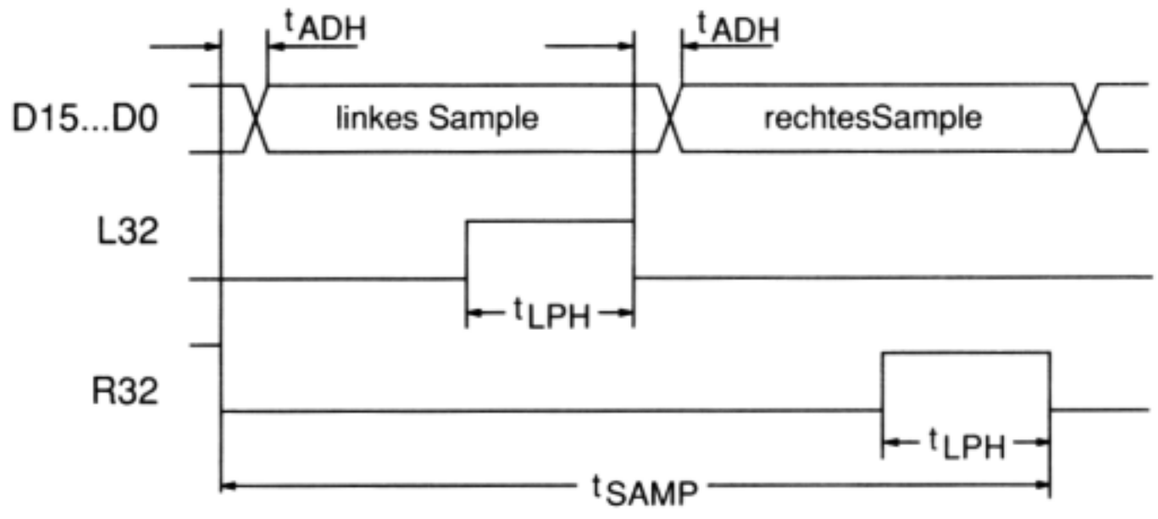
Input data SWA and SWB, transfer by H/L-Edge of T10N



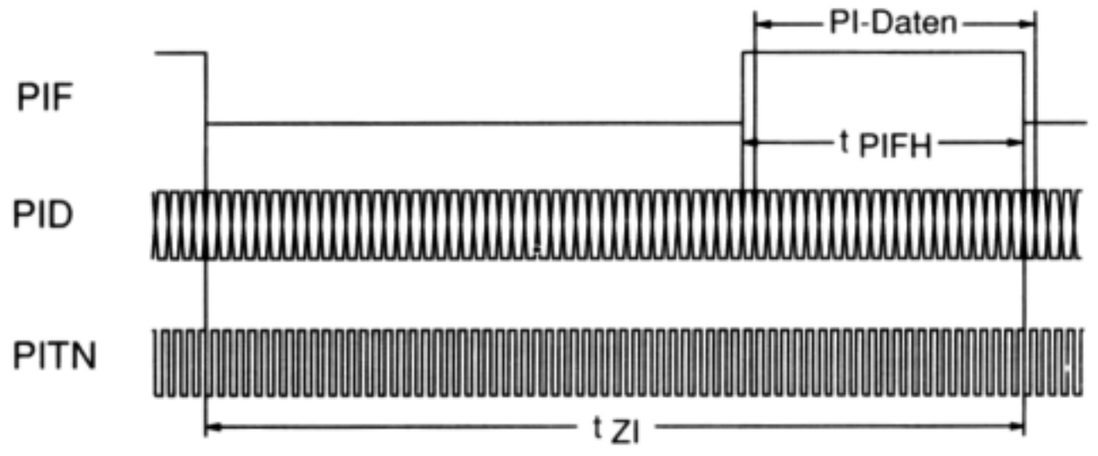
Serielle Programmartausgabe an C und Bertriebsart-Setzeingänge

Serial Programme Mode Output to Micro Computer andOperating Mode - Setting Inputs

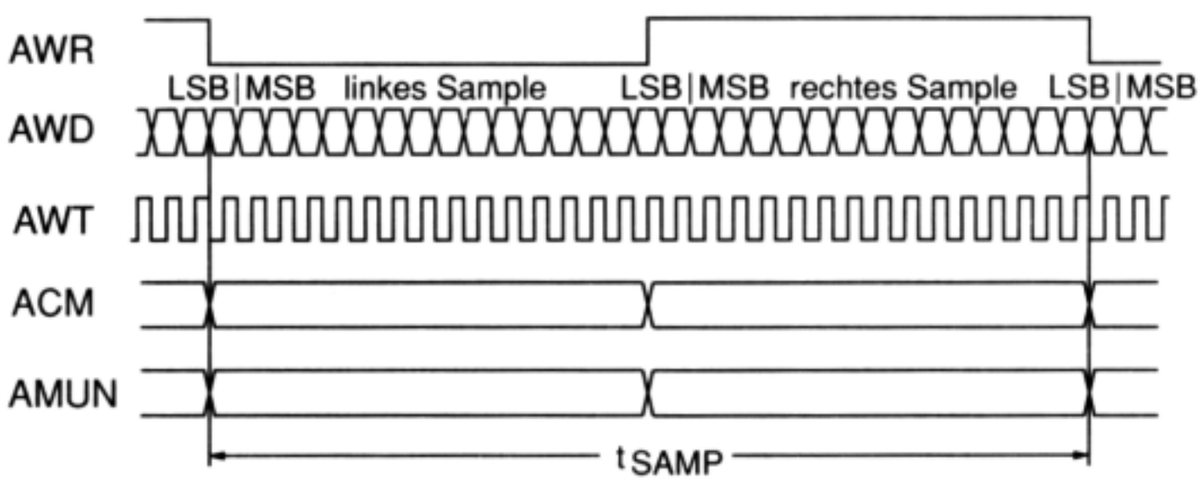
Diagrams of the SAA 7500



16 bit Audioschnittstelle D15 ... D0 und Multiplexsignal Links/Rechts
16 Bit Audio Interface D15...D0 and Multiplex signals left /right



Serielle Programm -Information-Schnittstelle (32 kBit/s)
Serial Programme-Information-Interface (32 kBit/s)



Serielle I^2S-Schnittstelle für Audiodaten an SAA 7220, einschließlich Fehler- und Stumm-Flags (ACM und AMUN)

Serial I2S for audio data to SAA 7220, including Error and Muting Flags (ACM and AMUN)

Ende des VALVO-Datenblattes über SAA 7500.

End of the VALVO-Data Note on the SAA 7500.

Die Erzeugung des Zentraltaktes

Die beiden Hauptrahmen übertragen die Information im 10,24 MHz Rhythmus. Da die beiden Rahmen zueinander um 90 Grad verschoben sind, ist eine vom Quarz Q 5413 abgeleitete Taktfrequenz von 20,48 MHz notwendig. Diese Frequenz wird durch einen PLL-Oszillatorbaustein CIC 5410 erzeugt. Die Nachregelung des Oszillators durch eine Regelspannung an Pin 6 ist notwendig, da zum Aufbereiten der Daten eine exakte Phasenlage zwischen Daten und Clock vorhanden sein muß. Die Regelspannung gewinnt das IC 5430 aus der Rahmenfrequenz von 32 kHz. Die Frequenz vom VCO steht an Pin 5 des Decoders IC 5430 an. Dieser gibt an Pin 41 die VCO-Frequenz durch 5 geteilt = 4,096 MHz aus. Der nachfolgende D/A-Wandler CIC 5470 benötigt als Takt das 256 fache der Rahmenfrequenz. Dies ergibt 32 kHz x 256 = 8,192 MHz. Um die 4,096 MHz aus dem CIC 5430 verwenden zu können, muß diese durch das CIC 5460 verdoppelt werden.

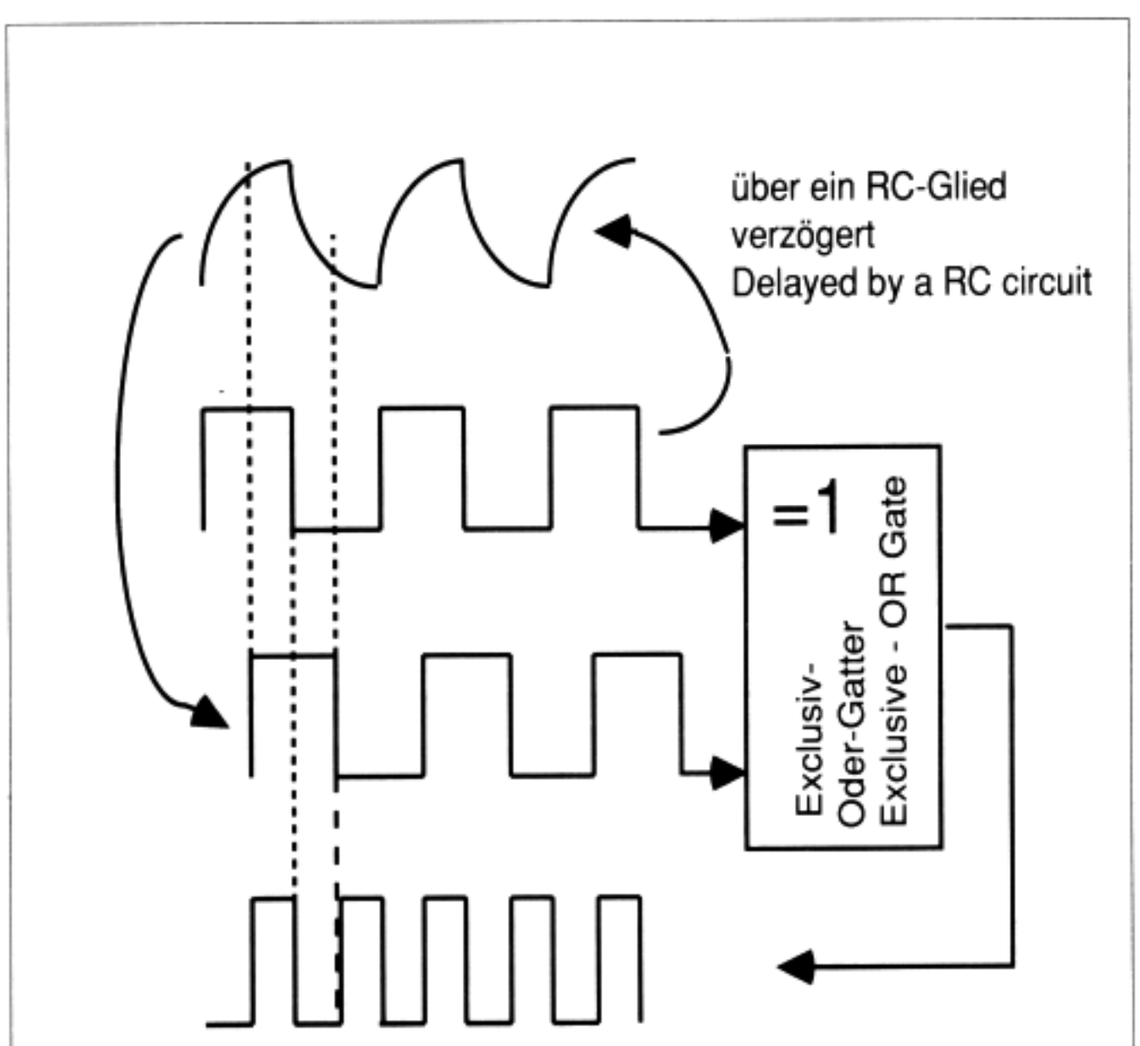
Die Verdoppelung geschieht durch Exclusiv-Oder-Gatter. Dazu erzeugt man durch ein Integrierglied am Ausgang des CIC 5460 eine Phasenverschiebung von 90 Grad. Die Gatter zwischen Pin 1 und 6 des ICs machen aus dem dreieckförmigen Signal des Integrators wieder ein Rechteck. Dieses um 90 Grad verschobene Signal wird durch ein Exclusiv-Oder-Gatter (Pin 9 und 10) des CIC 5460 mit dem Eingangssignal verknüpft. Steht an den beiden Eingängen Low oder High, liefert der Ausgang Low-Signal. Bei Ungleichheit an den Eingängen steht am Ausgang High. Da die beiden Eingänge um 90 Grad verschoben sind, ergibt sich am Ausgang die doppelte Eingangsfrequenz.

Damit die Ausgangsfrequenz an Pin 8 gleiches Puls-Pausenverhältnis besitzt, muß dies durch den Trimmer C 5462 eingestellt werden. Ein evt. Jitter kann durch den Regler R 5464 abgeglichen werden. Bei diesem Abgleich ist die auf dem Oszilloskop sichtbare Doppelkontur zur Deckung zu bringen.

The Generation of the Central Clock

The two Main Frames carry the Information in a rhythm of 10.24 MHz. Because the two Frames are shifted with respect to each other by 90 degrees, a separate clock frequency of 20.48 MHz generated by the Quartz Q 5413 is required. This frequency is generated by a PLL-Oscillator circuit CIC 5410. The control of the Oscillator is necessary by a control voltage on Pin 6 because to process the data an exact phase position between the data and clock must be obtained. The control voltage is generated by IC 5430 from the Frame frequency of 32 kHz. The frequency from the VCO is present on Pin 5 of the decoder IC 5430 which provides to Pin 41 the VCO-Frequency signal divided by 5 = 4.096 MHz. The following D/A-Converter CIC 5470 requires, as a clock frequency, a signal at 256 X the Frame frequency. This corresponds to 32 kHz x 256 = 8.192 MHz. To enable the use of the 4.096 MHz generated by the IC 5430, this frequency must be doubled in CIC 5460.

The doubling is achieved by an Exclusive-Or Gate. A phase shifting circuit of 90 degrees is generated by an integrating circuit at the output of CIC 5460. The gate between pins 1 and 6 of the IC forms a square wave from the triangular signal obtained from the integrator. This 90 degree shifted signal is combined by an Exclusive-Or Gate pin 9 and pin 10 of IC 5460 with the input signal. If, at the two inputs, there is a low or high signal, the output provides a low signal. With a difference at the inputs, a high level is present at the output. Because at the input there is a 90 degree phase shifted signal, the signal at the output is at double the input frequency.
So that the output frequency on pin 8 has the same pulse-pause ratio, this condition must be set by the trimmer C 5462. Any possible remaining jitter can be eliminated by the control R 5464. For this adjustment, the double contour displayed on the oscilloscope is adjusted for convergence.



Bid 25: Die Frequenzverdoppelung
Figure 25: The Frequency Doubling Circuit

FEATURES

Operation with single 5V supply
TTL-compatible inputs and outputs
Guaranteed operation to 50MHz
External loop gain control
Reduced carrier feedthrough
No elaborate filtering needed in FSK applications
Can be used as a modulator
Variable loop gain (externally controlled)

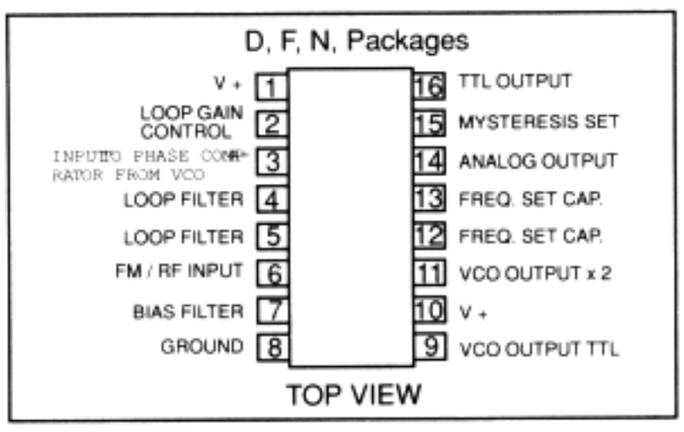
APPLICATIONS

High-speed modems
FSK receivers and transmitters
Frequency synthesizers
Signal generators
Various satcom / TV systems

DESCRIPTION

TheNE564 is a versatile, high guaranteed frequency phase-locked loop designed for operation up to 50MHz. As shown in the Block Diagram, the NE564 consists of a VCO, limiter, phase comparator, and post detection processor.

PIN CONFIGURATION



BLOCK DIAGRAM

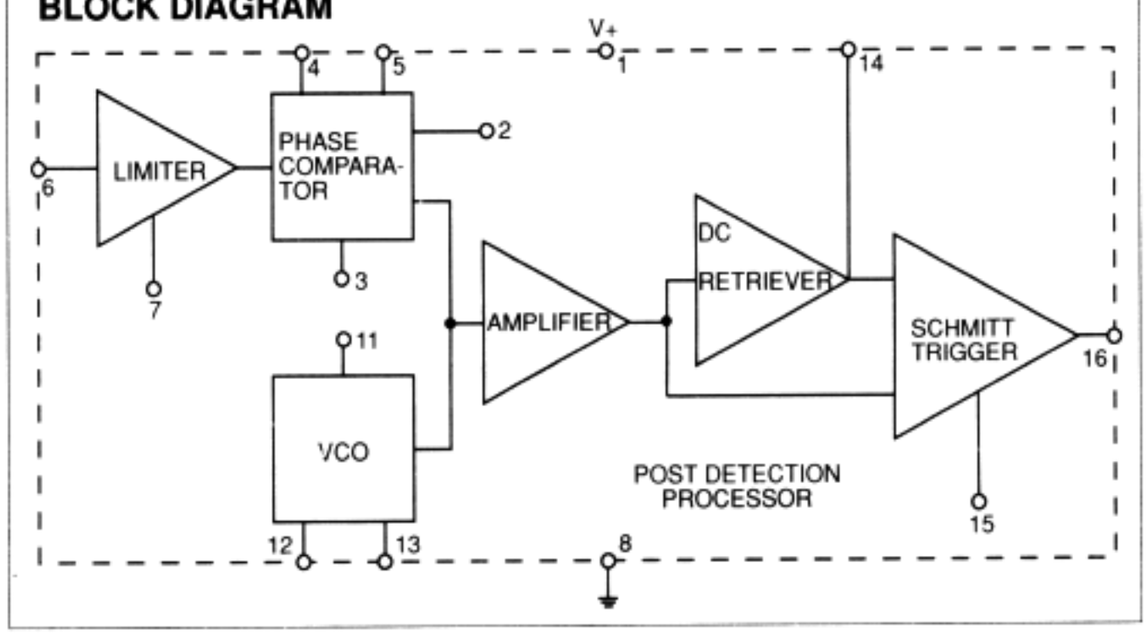


Bild 26: Blockschaltung des NE 564
Fig. 26: Block Circuit diagram of the NE 564

Der D/A-Wandler

Zur D/A-Wandlung verwenden wir einen 1 Bit Wandler mit Digitalfilter (SAA 7323). Dieser ist auch durch den Namen "Bit Streamer" bekannt. Die herkömmlichen D/A Wandler arbeiten alle nach der Methode, daß jedem Bit ein definierter Strom zugeordnet ist. Bei 16 Bit ergibt sich zwischen der lautesten und der leisesten Stelle ein Unterschied von 1: 65535. Nur wenn jedes höherwertige Bit den exakt doppelten Strom des vorhergehenden Bit liefert, ist eine gute Linearität des D/A-Wandlers gewährleistet. Um diese hohen Genauigkeiten zu erreichen, werden verschiedene Techniken angewendet. Dies sind z.B. die digitale Aufteilung des Stromes (TDA 1541), die Justierung der Widerstände im D/A-Wandler-IC mittels Laser oder durch externes Einstellen der höchstwertigen Bits. Die externe Einstellung bringt zwar momentan gute Ergebnisse, unterliegt aber Temperatur- und Alterungseinflüssen. Die Unlinearität dieser Wandler zeigt sich vor allem bei sehr kleinem Signal und im Nulldurchgang. Im Nulldurchgang ist der Fehler deshalb größer, da hier das höchstwertige Bit (Vorzeichenbit = MSB) wechselt.

Diese Fehler können durch den 1-Bitwandler vermieden werden. Bei einer Änderung des Stromes in dem einen Bit leidet nicht mehr die Linearität. Es ändert sich lediglich der Ausgangspegel. Wobei sich die Änderung des Ausgangspegels unterhalb der Promille-Grenze bewegt.

Die NF-Daten werden durch den I²S-Bus vom IC 5430 zum CIC 5470 übertragen. Der Bus besteht aus 3 Leitungen. Diese haben am SAA 7323 folgende Bedeutung:

WSI = Word-Select-Input (Pin 30). Dieses Signal kennzeichnet die Daten für links und rechts. Es besitzt die doppelte Rahmenfrequenz = 64 kHz.

CLI = Clock-Input (Pin 31). Dies ist der Clock Für die NF-Daten. Er hat die doppelte Frequenz von 16 Bit Daten x 32 kHz Samplingfrequenz x 2 für den linken und rechten Kanal = 2.048 MHz.

DAI = Daten - Input (Pin 32).Diese Daten werden in dem SAA 7323 durch die nachfolgenden Baugruppen in den NF-Pegel umgesetzt.

The D/A-Converter

For D/A-Conversion, use is made of a 1 Bit Converter with Dígital Filter (SAA 7323). This is also known as a "Bit Streamer".

Conventional D/A Converters operate according to the method in which every Bit is allocated a defined current. With 16 Bit there is a difference of 1:65535 between the loudest and the softest positions. A good linearity of the D/A-Converter is realised only when for each higher value Bit, an exact doubling of the current of the previous Bit is produced when compared to the previous bit. To achieve this high accuracy, different techniques are used. These are, for example, the digital division of current (TDA 1541), the precise adjustment of the resistor values in the D/A-Converter-IC using a Laser or by an external adjustment of the highest value Bits. The external adjustment produces momentary good results, but is however adversely affected by temperature and ageing. The un-linearity of this Converter is made most apparent with very low signals and in the cross- over point. In the cross-over point region, the error is appreciably larger because here the highest value Bit (Prefix Bit = MSB) changes.

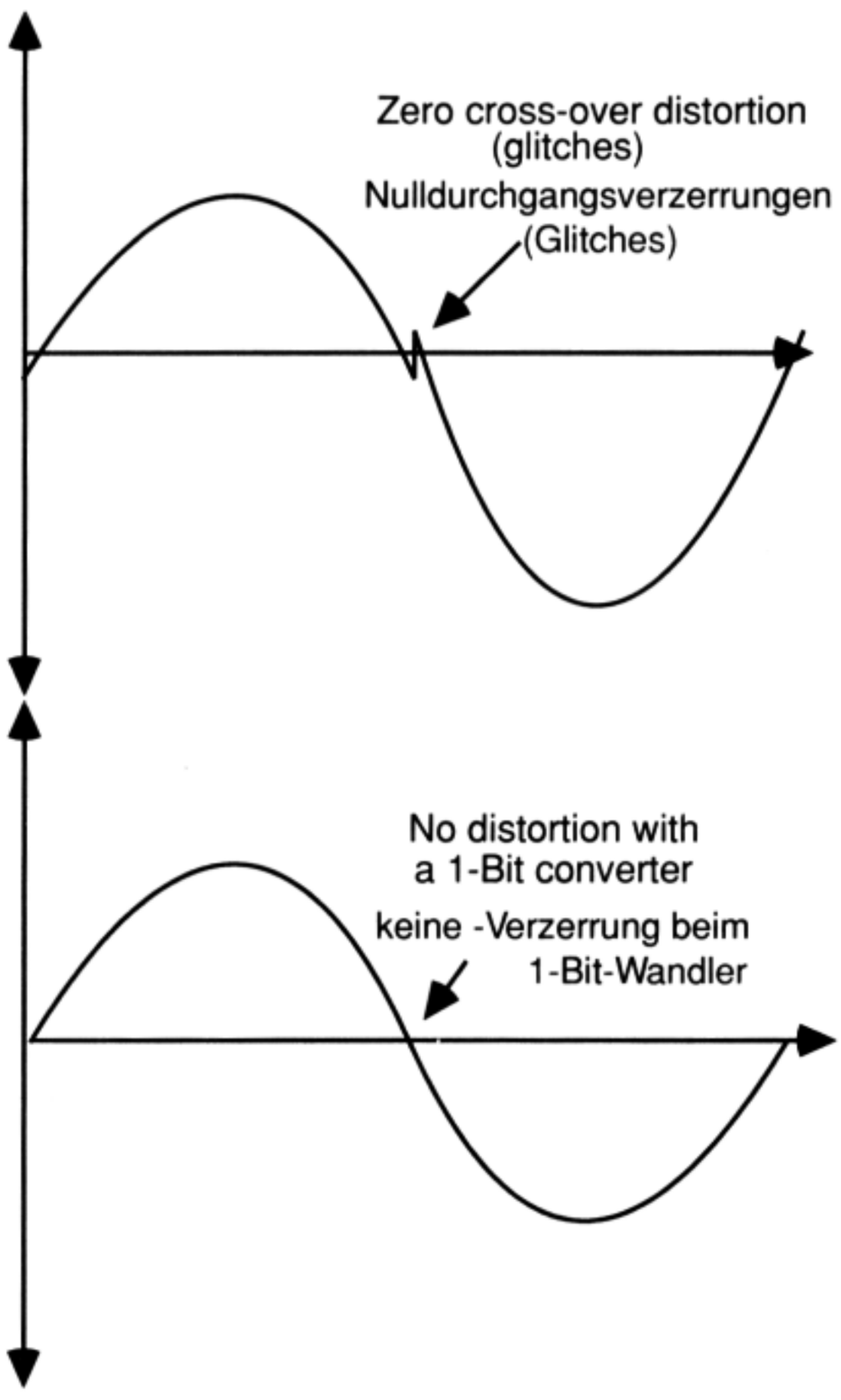
This error can be avoided by the use of a 1-Bit Converter. With a change of current, corresponding to 1 Bit, there is no change in the linearity. What changes is the output level. The change in the output level is maintained within the Promille Limit.

The AF Data is transferred on the I2S-Bus from IC 5430 to the CIC 5470. The Bus consists of three connections. At the SAA 7323, these have the following meaning:

WSI = Word-Select-Input (Pin 30). This signal identifies the Data for the left and right channel. It is at twice the Frame Frequency = 64 kHz.

CLI = Clock-Input (Pin 31). This is the Clock for the AF Data. It is at double the frequency of the 16 Bit Data x 32 kHz Sampling Frequency x 2 for the left and right channel = 2.048 MHz.

DAI = Data-Input (Pin 32). This data is converted into the AF level in the SAA 7323 in combination with the components which follow subsequently.



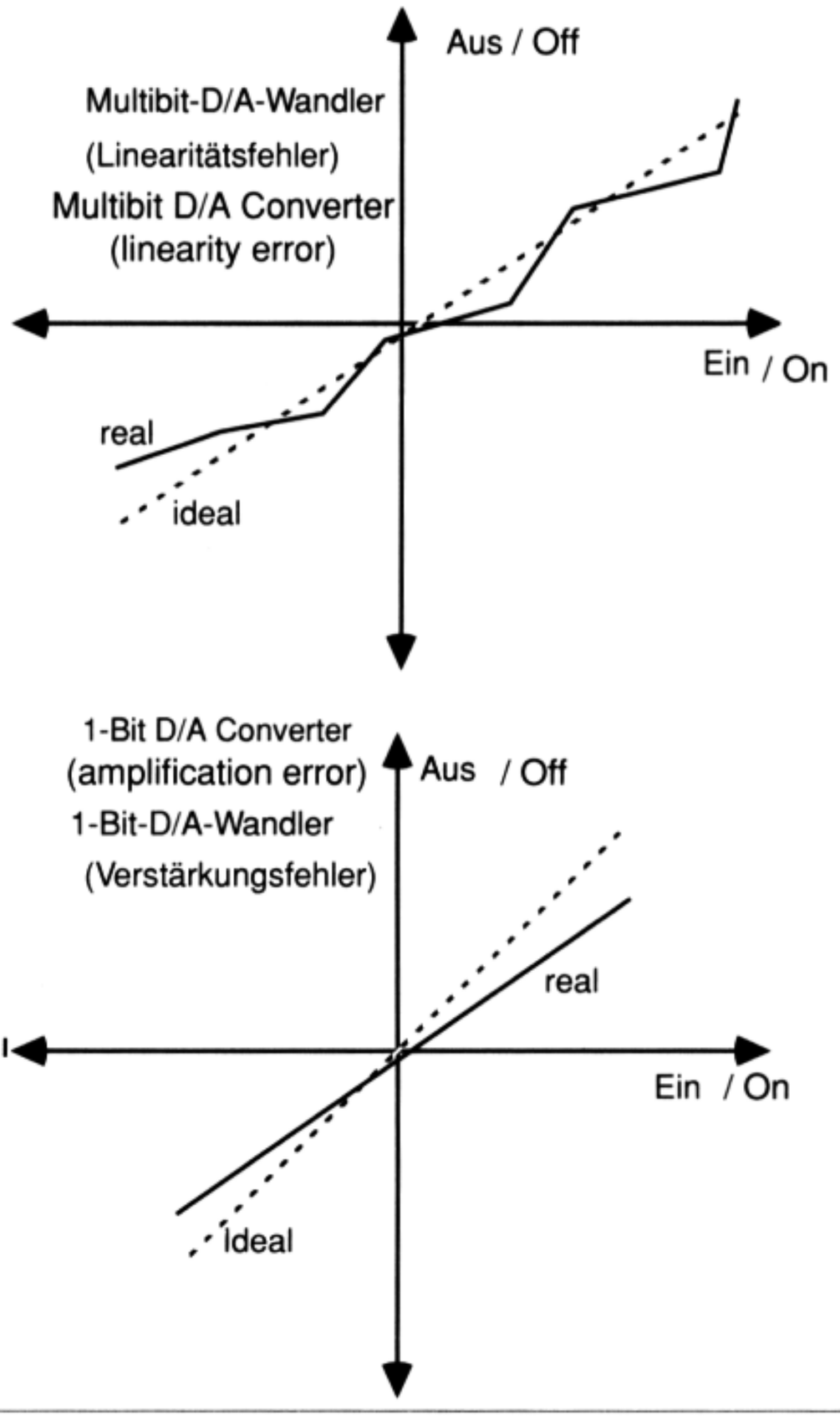


Bild: Flußdiagramm des Datenstroms beim Bitstrom D/A Wandler

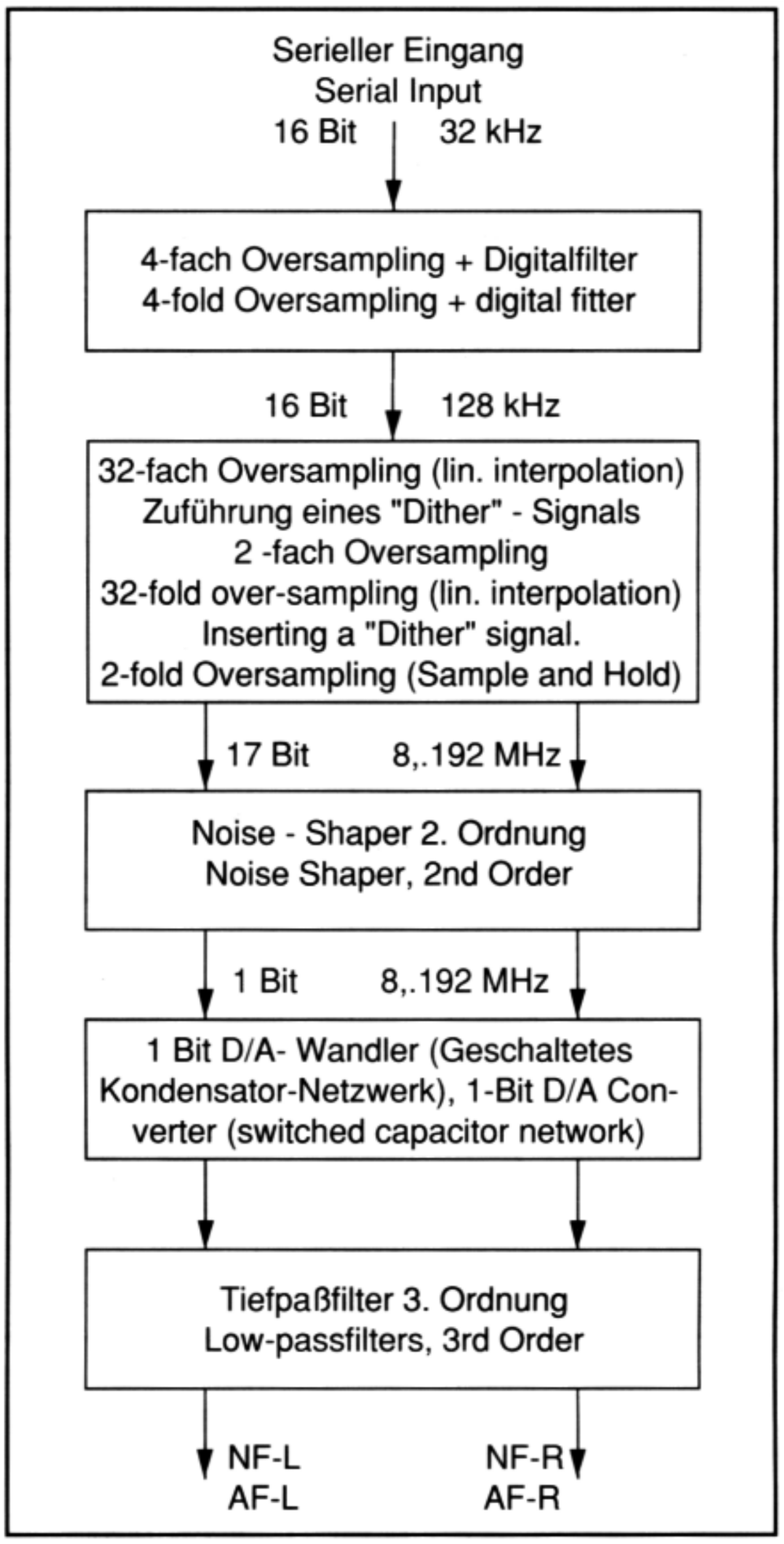


Fig.: Flow diagram of the Data current in a Bit-current D/A Converter

Die Vorzüge des 1-Bit D/A-Wandlers

- Die Schaltung verwendet keine Stromquellenschalter. Somit können keine Glitches entstehen

- Da es beim 1 Bit-Wandler kein Vorzeichenbit gibt, können auch keine Übernahmeverzerrungen auftreten.

- Durch die hohe Samplingfrequenz von 8,192 MHz ist der Filteraufwand sehr klein.

- Linearitätsfehler sind ausgeschlossen. Bei Fehler des einen Bit ändert sich nur die Gesamtlautstärke.

Die Baugruppen des D/A-Wandlers

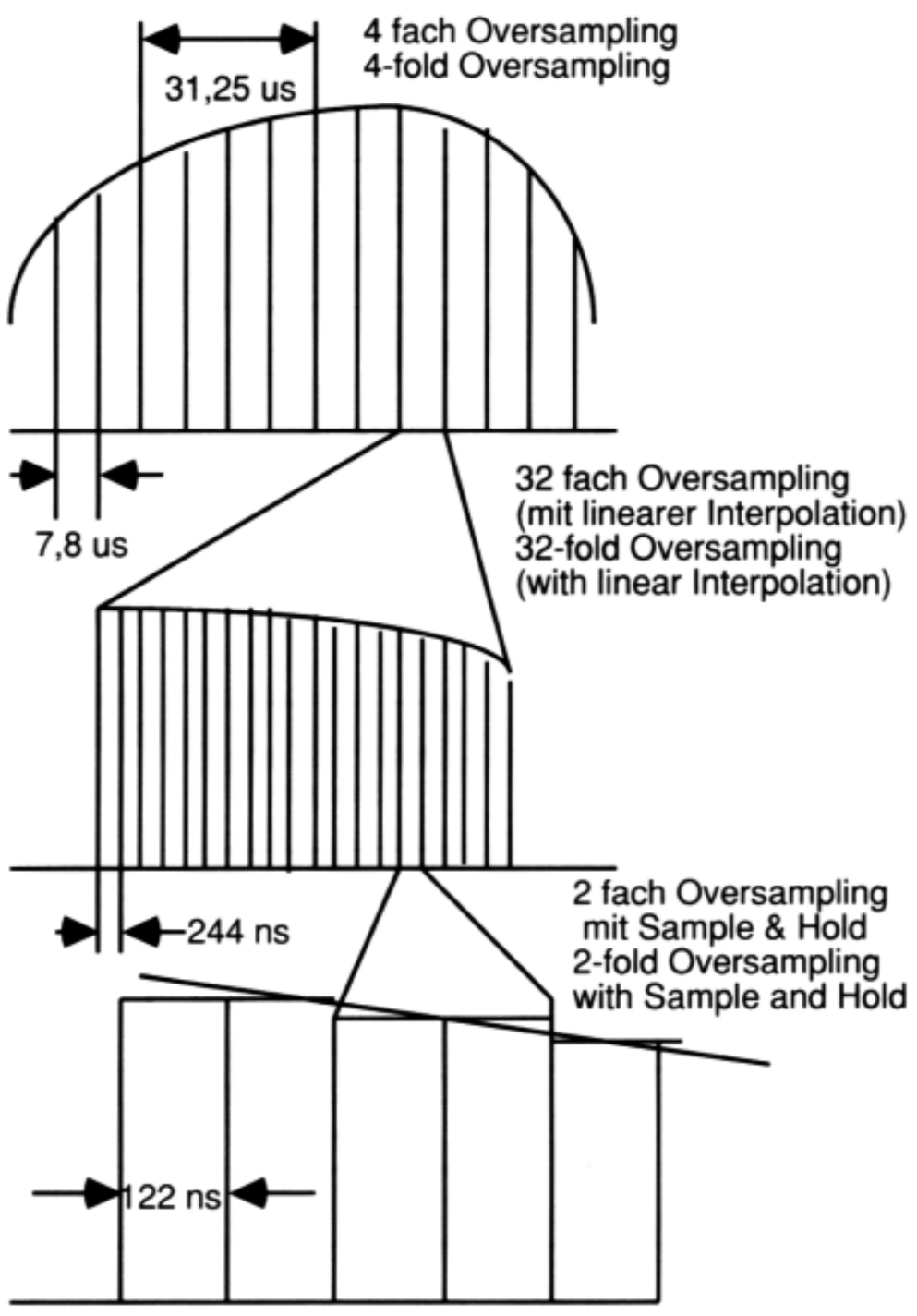
Die folgende Abbildung zeigt die Hauptfunktionen in der Bit-Strom D/A-Wandlung. Sie besteht aus einen Digitalfilter und Oversampling; "Noise Shaping" und Code-Wandlung zur Erzeugung eines 1 Bit-Datenstromes.

Digitalfilter und Oversampling

In der ersten von drei Oversampling-Stufen werden nach bewährter Art die hochfrequenten Störspektren oberhalb des Hörbereichs durch Digitalfilterung gedämpft. Ein nichtrekursives Interpolationsfilter ist mit seiner Phasen-Linearität, den geringeren Überschwingern und den kurzen Rückstellzeiten am besten für eine hochwertige Wiedergabe geeignet.

In Stufe 2 wird ein 32-faches Oversampling mit linearer Interpolation vorgenommen. In Stufe 3 kommt es zum 2-fach Obersampling mit "Sample" und "Hold", d. h. alle bisherigen 128 Werte werden durch Speichern und Halten noch einmal verdoppelt. Die folgende Abbildung zeigt die Oversampling-Stufen mit einer totalen Abtastrate von 8.192 MHz.

In die 2. Oversampling-Stufe wird ein intern erzeugtes sogenanntes "Dither"-Signal von 256 kHz mit -20 dB eingespeist, das etwaige überschwingende Rechnergebnisse des Noise-Shapers reduzieren soll. Um dieses Signal einführen zu können, wird noch ein MSB (Meistsignifikantes Bit) hinzugefügt. Daher stehen am Ausgang der letzten Oversampling-Stufe 17-Bit Samples in einer Folge von 8,192 MHz.



Sampling Rate = 4 x 32 x 2 =256 x 32 kHz= 8.192 MHz

Abb.: Oversampling
Fig.: Oversampling

The Advantages of the 1-Bit D/A Converter

- The circuit does not use a Current Source switch. Therefore, no glitches occur.

- Because there is no Prefix Bit with a 1 Bit Converter, no transit distortion can occur.

- Due to the high Sampling frequency of 8.192 MHz, the requirement of filters is very small.

- Linearity errors are excluded. Errors of 1 Bit alter only the total volume.

The Construction of a D/A-Converter

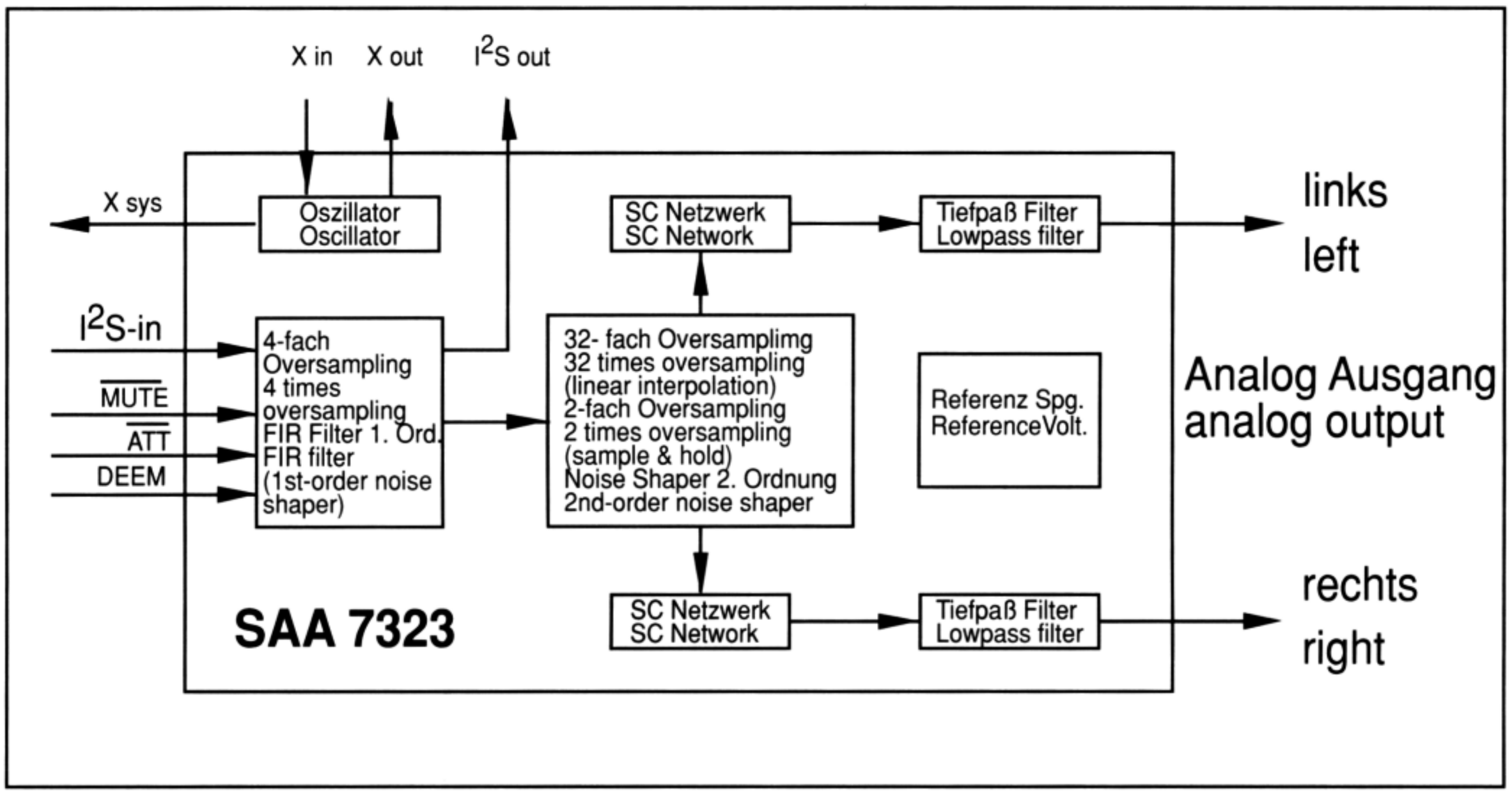
The following figure 28 shows the main functions carried out in the Bit-Current D/A Conversion. It consists of a Digital Filter and Over-sampling; "Noise Shaping" and Code-Conversion to generate a 1 Bit-Data Current.

Digital Filter and Over Sampling

In the first of the three Over-sampling stages the high frequency interference spectrum above the audible range is suppressed by a Digital Filter as in well-proven types. A non-recursive Interpolation filter with its good phase linearity characteristics, the low resonance and very fast resetting times is best suited for high quality reproduction.

In Stage 2, a 32-fold Over-sampling with linear Interpolation is carried out. In Stage 3, a two-Stage Over-sampling with "Sample" and "Hold" functions is carried out in which all the previous 128 values are doubled once more by the Sample and Hold technique. The following illustration shows the Over-sampling Stages with a final sampling rate of 8.192 MHz.

In the second Over-sampling Stage, an internally generated "Dither" signal of 256 kHz is fed in at -20 dB to reduce any possible small overshoots resulting from the operation of the Noise-Shaper. To introduce this into the signal, one more MSB (Most -Significient Bit) is added. As a result, at the output of the last Over-sampling Stage there are 17 Bit samples present at a rate of 8.192 MHz.



Blockschaltung des SAA 7323

Block circuit of the SAA 7323

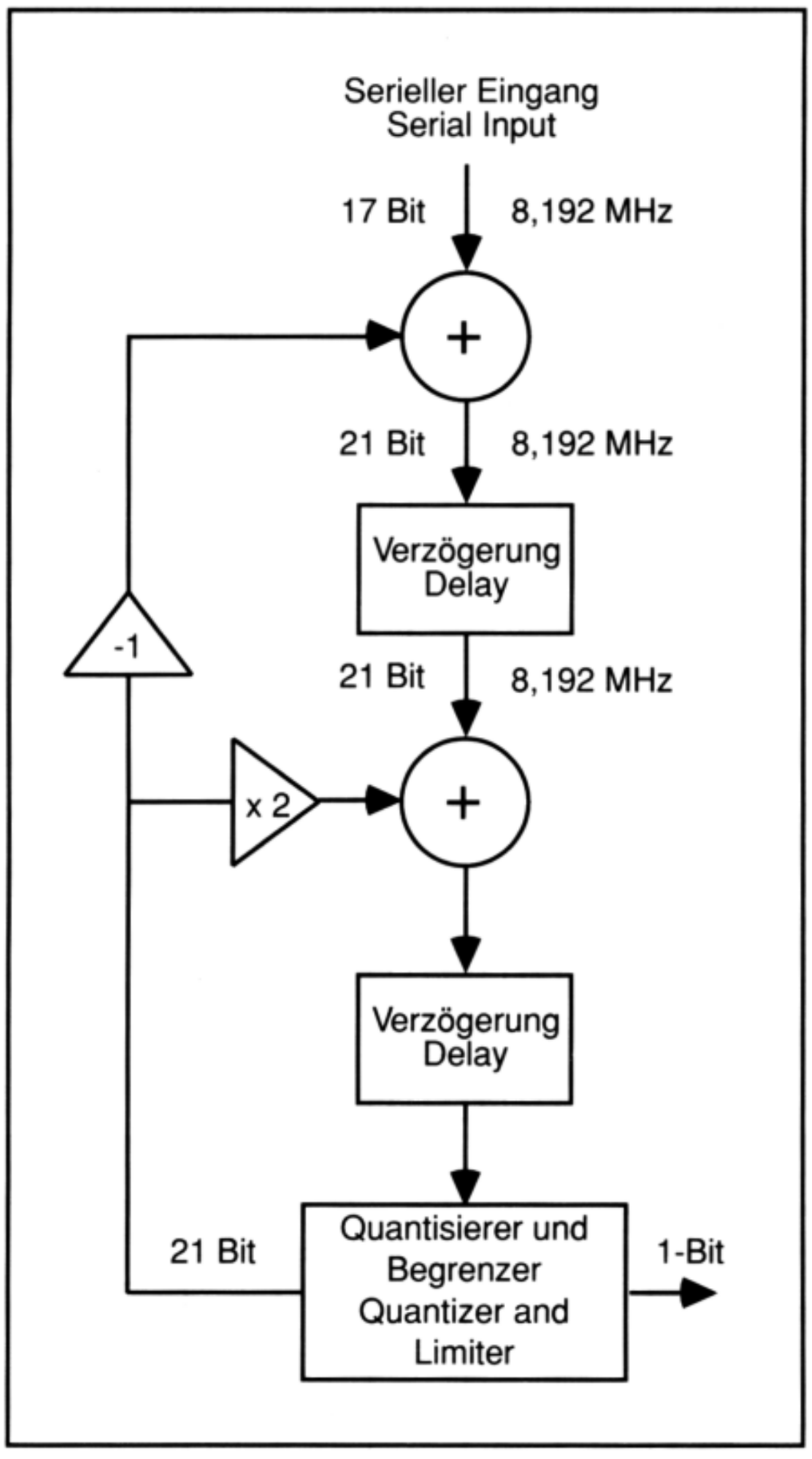
Noise Shaper und Quantisierer

Wird ein sogenannter "Noise Shaper" ("Rauschverschieber") mit Oversampling kombiniert, können die Wortlängen der Abtastwerte reduziert werden. Die 1-Bit-Codierung ist ein Extrembeispiel der Code-Wandlung. Das Quantisierungsrauschen, das bei der Reduzierung der Wortlängen entsteht, wird spektral zu höchsten Frequenzen verschoben durch digitale Tiefpaß-Rückkopplung um den Quantisierer, wodurch eine gute Rauschunterdrückung bei niedrigen Frequenzen im Hörbereich erreicht wird.

Die nebenstehende Abbildung zeigt das Blockdiagramm des Quantisierers und des Noise Shapers. Die Signale von der CD kommen im sogenannten 2er-Komplement-Format, d. h. positive oder negative Abtastwerte werden durch das erste, das sogenannte "Vorzeichen-Bit" festgelegt. Der 1-Bit-Code vom Quantiserer liefert das Vorzeichen-Bit.

Der Rest des Abtastwertes, Quantisierungsfehler genannt, wird nach einer Begrenzung, die einen Überlauf vermeiden soll, zurückgeführt. Das Noise Shaping zweiter Ordnung wird erreicht durch Addieren des verdoppelten "Fehlers" zum nächsten Abtastwert und durch Addieren des negativen "Fehlers" zum übernächsten Abtastwert.

Eine Datenwortlänge von mindestens 21-Bit ist nötig, um die Daten in der Rückkoppelschleife verarbeiten zu können.



Blockschaltung des Noise-shaper

Noise Shaping and Quantization

The word length of a sample value can be reduced when a so-called "Noise Shaper" (Noise Shifter) is combined with Over- sampling. The 1-Bit-Coding is an extreme example of Code Conversion. The Quantization Noise, which is a result of reducing the word length, is shifted spectrally to the higher frequencies by digital low pass feedback to the Quantizer so that a very good noise suppression in the lower frequencies of the audible range is achieved.

The previous illustration shows the Block circuit diagram of the Quantizer and the Noise Shaper. The signals from the CD is fed -in in the so called 2's-Compliment Format which means that positive or negative sampled values are determined by the first so-called "Prefix Bit". The 1-Bit Code from the quantizer provides the Prefix Bit.

The remainder of the sampled values, known as the quantization error, is fed back after limiting to avoid over-flow. The Noise Shaping of the 2nd Order is achieved by adding the doubled "error" to the following sample value and by adding the negative "error" to the subsequent sampled value.
A data word length of at least 21 Bit is necessary so that the data can be handled in the feedback loop.

Block circuit of the Noise Shaper

Bit-Strom D/A-Wandler

Der 1-Bit Datenstrom mit 8,192 MHz wird mit Hilfe eines Netzwerkes mit geschalteten Kondensatoren in ein anologes Signal gewandelt (siehe Abbildung). Zwei Kontroll-Signale, die die logische "O" und "1" des Datenstroms repräsentieren, bewirken zusammen mit einer kontinuierlichen Taktfrequenz das Schalten der Kondensatoren. Während der negativen Halbwelle der Taktfrequenz wird der Kondensator C 2 geladen und C 1 entladen. Während der positiven Halbwelle wird C 1 geladen, falls das 1-Bit Wort eine logische "1" ist, indem er eine bestimmte Menge Ladung vom Summenpunkt des Operationsverstärkeres übernimmt. Falls das 1-Bit-Wort eine logische "0" ist, wird eine bestimmte Menge Ladung von C 2 in den Summenpunkt übertragen.

Widerstand R 1 und Kondensator C 4 dienen als erste Stufe eines Analog-Filters dritter Ordnung, das das HF-Quantisierungs-Rauschen unterdrückt (die periodischen Störspektren um die vierfache Sampling-Frequenz und die "Dither"-Frequenz).

Der Bit-Strom D/A-Wandler kann die analoge Wellenform dicht am Original abbilden.

Linearität des Bit-Stromwandlers

Die Linearität des Bit-Strom Wandlers hängt nicht von der Genauigkeit zusammenarbeitender Elemete ab. Hier gibt es nur "+" und "-" Referenz-Punkte mit voller Aussteuerung. Dazwischen liegende Werte werden durch Zeit-Durchschnitts-Bildung bestimmt. Jegliche Fehler in den zwei Referenz-Werten ergeben lediglich eine konstante Verschiebung der Ausgangsspannung, aber keinen Linearitäts-Fehler.

Verzerrungen

Bei Multibit-D/A-Wandlern werden Verzerrungen bei kleinen Pegeln durch den MSB-Wechsel um den Nullpunkt verursacht und wirken sich in Nichtlinearitäten um den Nulldurchgang aus. Beim 2-Bit Wandler gibt es keine MSB-Wechsel um den Nulldurchgang, weil der Nullpunkt von einer gleichen Anzahl positiver und negativer Pulse mit Vollaussteuerung gebildet wird. Für ein kleines Signal wird das Verhältnis von positiven und negativen Pulsen verändert. Das Ergebnis sind sehr niedrige Verzerrungen bei niedrigen Signalpegeln.

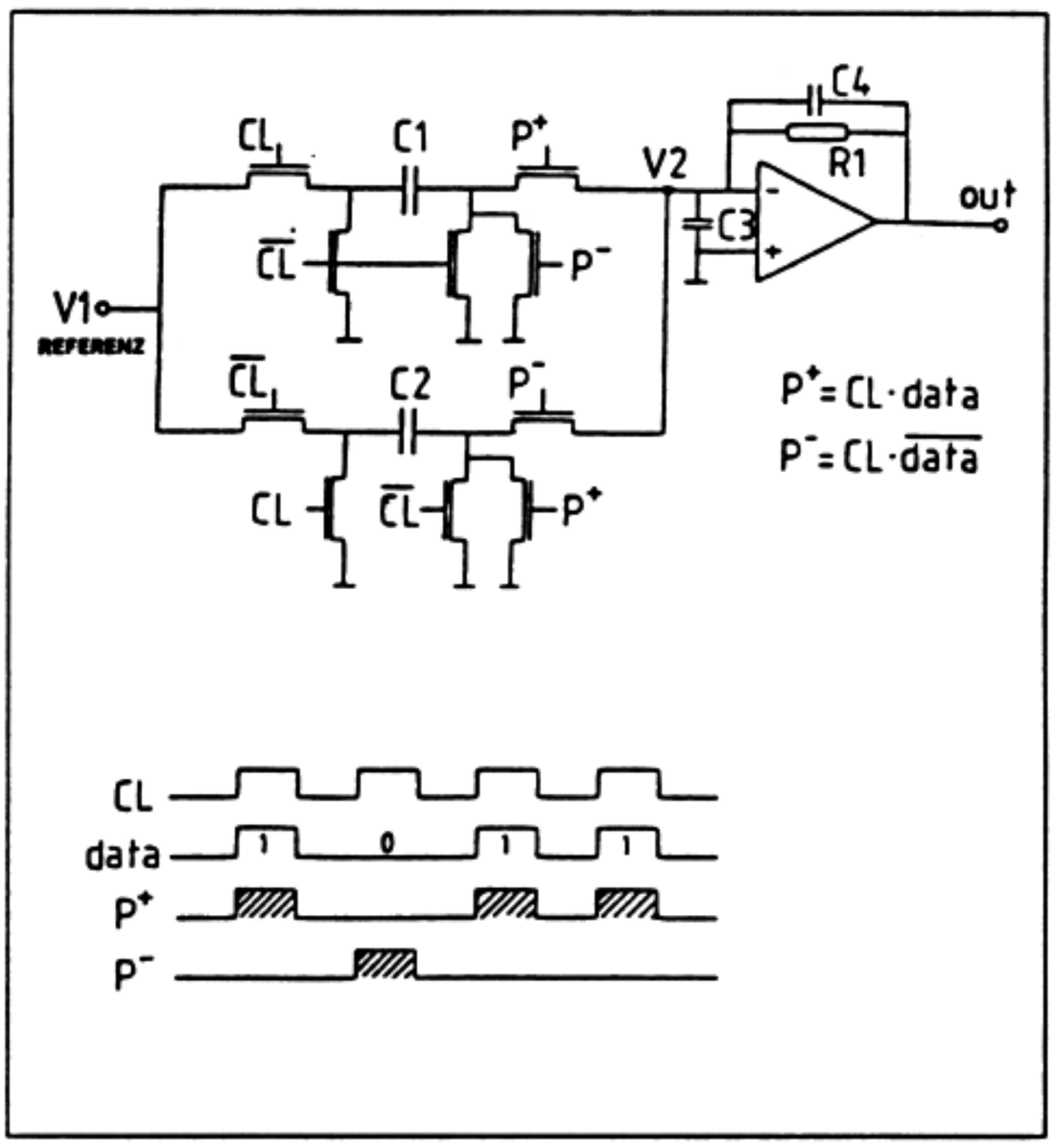


Abb.: Geschaltete Kapazitäten des 1 Bit D/A-Wandlers
Fig.: Switched capacitors in a 1-Bit D/A Converter

Schlußbemerkung

Mit der herkömmlichen Mulitbit D/A-Wandlung sind Nichtlinearitäten zwangssweise verbunden wegen der Toleranzen der Wandler-Elemente. Die Bit-Strom Wandlertechnik vermeidet diese durch die Verwendung eines 1-Bit Wandlers. Die Anzahl von Bits in einem Abtastwort kann mit Hilfe von "Oversampling" und "Noise Shaping" auf 1-Bit reduziert werden, ohne Auflösung zu verlieren.

Bit-Current D/A-Converter

The 1-Bit Data Current at 8.192 MHz is converted into an analogue signal (see diagram) with the aid of a network of capacitors. Two control signals, which represent the data current in the form of logic "0" and "1" operate together with a continuous clock frequency, to determine the connection sequence of the capacitors. During the negative half wave of the clock frequency the capacitor C2 is charged and C1 is discharged. During the positive half wave, C1 is charged, if the 1-Bit Word is a logic "1", to an amount defined by the summing point of the operational amplifiers. If the 1-Bit Word is a logic "0", a defined quantity of charge is transferred from C2 to the summing point.

The resistor R1 and capacitor C4 serve as the first stage of an analogue filter of the 3rd order, for suppressing the HF Quantization noise (the periodic interference spectrum of the multiplied Sampling Frequency and the "Dither" Frequency).

The Bit-Current D/A Convertor can construct the analogue wave form identically as the original.

Linearity of the Bit-Current Convertor

The linearity of the Bit-Current Convertor depends not only on the accuracy of the total elements being employed. Here only the "+" and "-" reference points at full drive are valid. In-between lie the values which are determined by Time-Interval-Construction. Any error in the two reference values result in a constant shifting of the output voltage but there will be no linearity error.

Distortion

With Multi Bit-D/A-Conversion, distortion at low levels is caused by a change of the MSB at the cross-over point and produces non-linearity at the cross-over point. With a 1-Bit Convertor there is no change of the MSB at the zero cross-over point as the cross-over point is formed with a same quantity of positive and negative pulses at full drive. For low level signals only the ratio of positive and negative pulses change. The result is a very small distortion at low signal levels.

Concluding Remarks

With the conventional Multi Bit D/A Conversion the non-linearity depends on the tolerance of the convertor components. The Bit Current Convertor technique avoids these by the use of a 1-Bit Convertor. The quantity of Bits in a Sampling Word can be reduced to 1-Bit with the aid of "Over-sampling" and "Noise Shaping", without the loss of resolution.